

ミニマルファブのゲートファーストプロセスで作製した PVD-TiN メタルゲート SOI-MOSFET 電気特性の RTA 温度依存性

RTA-temperature dependence of the electrical characteristics of the PVD-TiN metal gate SOI-MOSFETs fabricated by using minimal-fab gate-first process

産総研¹、ミニマルファブ推進機構²

○柳 永勳¹, 佐藤 和重², 田中 宏幸^{1,2}, 古賀 和博², クンブアン ソマワン^{1,2}, 長尾 昌善¹, 松川 貴¹, 原 史朗^{1,2}

AIST¹ and MINIMAL²

○Y. X. Liu¹, K. Sato², H. Tanaka^{1,2}, K. Koga², S. Khumpuang^{1,2}, M. Nagao¹, T. Matsukawa¹ and S. Hara^{1,2}

E-mail: yx-liu@aist.go.jp

【緒言】 今まで、我々は SOD 固相拡散によるミニマルファブのゲートラストプロセスで SOI-CMOS の開発を行ってきた[1, 2]。今回は、イオン注入によるミニマルファブのゲートファーストプロセスで PVD-TiN ゲート SOI-MOSFET を作製し[3]、その電気特性の RTA 温度依存性を調べたので報告する。

【作製】 デバイス作製には、N 型ミニマル(100) SOI ウエハを用いた。最初に、SOI ウエハの RCA 洗浄を行い、熱酸化で Top-Si 層膜厚(T_{Si})を 89 nm まで薄層化した。次に、選択的に Top-Si 層をエッチングして素子分離を行い、5.8 nm 厚のゲート酸化膜(T_{ox})形成と 30 nm 厚の PVD-TiN 堆積を行った。続いて、100 nm 厚の TEOS-SiO₂ 膜を堆積し、ミニマルマスクレス露光機でゲートパターンを形成した。その後、RIE による TEOS-SiO₂ ハードマスク形成とウェットエッチングによる PVD-TiN ゲート加工を行った。次に、ミニマルマスクレス露光機で PMOS 領域と NMOS 領域を分けてパターンニングし、ソース・ドレインのイオン注入を行った。PMOS には BF₂⁺イオンを、NMOS には P⁺イオンを用い、同じ条件(Dose = 1.5E15 cm⁻², Energy = 10 keV, Tilt = 7°, Twist = 0°)でイオン注入を行った。ウエハ洗浄後に、層間絶縁膜として、145 nm 厚の TEOS-SiO₂ を堆積し、ミニマルレーザ加熱炉で不純物活性化 RTA (Rapid thermal annealing)処理を行った。ここで、Fig.1 に示すように、3 枚のウエハに対して、温度をそれぞれ 660, 760, 860 °C に設定し、同じ時間 2 秒で RTA 処理を行った。最後に、コンタクトホール形成と Al 配線加工などを行い、デバイスを完成させた。

【評価】 Fig. 2 に、3 枚のウエハ上に作製した $L_g = 3.37 \mu\text{m}$ の SOI-MOSFET の I_d - V_g 特性を比較して示しており、サブスレッショルド係数(SS)は RTA 温度にほぼ依存しないが、しきい値電圧(V_t)は RTA 温度上昇に伴い負の側にシフトされることが確認できる。その結果、Fig. 3 に示すように、SOI-CMOS インバータの論理しきい値電圧(V_{thc})も負の側にシフトされることが分かる。その主な原因としては、PVD-TiN の仕事関数が RTA 温度上昇に伴い低下したことによるものと考えられる。Fig. 4 に、3 枚のウエハ上に作製した作製した $L_g = 1.27 \mu\text{m}$ の SOI-MOSFET (60 個) の V_t ばらつきを比較して示しており、低温 RTA が σV_t 低減に効果的であることが分かる。

【文献】 [1] 柳永勳, 他, 第 63 回応用物理学会春季講演会 19a-S423-1. [2] 柳永勳, 他, 第 77 回応用物理学会秋季講演会 16p-B10-11. [3] 柳永勳, 他, 第 65 回応用物理学会春季講演会 20a-C101-7.

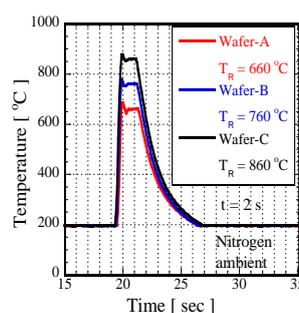


Fig. 1. Temperature profiles in the rapid thermal annealing (RTA) process using the minimal-fab laser heating machine.

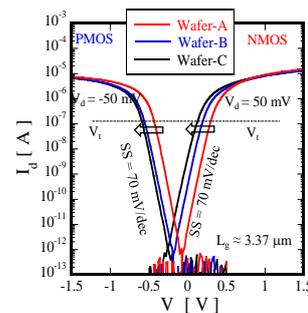


Fig. 2. I_d - V_g characteristics of the fabricated SOI-MOSFETs with almost the same L_g of 3.37 μm on different sample wafers.

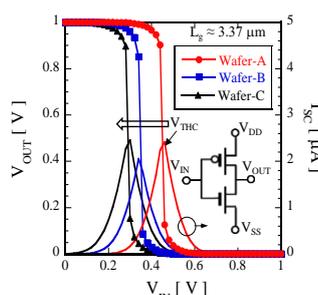


Fig. 3. Transfer characteristics of the fabricated SOI-CMOS inverters with almost the same L_g of 3.37 μm on different sample wafers.

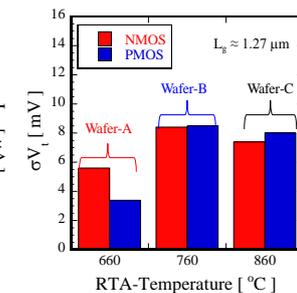


Fig. 4. Comparison of the measured σV_t values of the SOI-MOSFETs with almost the same L_g of 1.27 μm .