SiO_2/GaN MOS デバイスに対するフォーミングガス熱処理の効果

Impact of Forming Gas Annealing on Electrical Properties of SiO_2/GaN MOS Devices

大阪大学 [1]，富士電機 [2]，産総研 [3]　○山田 高寛 [1]，和田 悠平 [1]，寺島 大貴 [1]，野崎 幹人 [1]，
上野 勝典 [2]，高島 信也 [2]，山田 永 [3]，高橋 言諸 [3]，清水 三聡 [3]，
細井 卓治 [1]，志村 考功 [1]，渡部 平司 [1]
Osaka Univ. [1], Fuji Electric Co., Ltd. [2], AIST [3]　°Takahiro Yamada [1], Yuhei Wada [1], Daiki Terashima [1],
Mikito Nozaki [1], Katsunori Ueno [2], Shinya Takashima [2], Hisashi Yamada [3], Tokio Takahashi [3],
Mitsuaki Shimizu [3], Takuji Hosoi [1], Takayoshi Shimura [1], and Heiji Watanabe [1]
E-mail: tyamada@mls.eng.osaka-u.ac.jp, hosoi@mls.eng.osaka-u.ac.jp

【はじめに】MOS 型 GaN パワーデバイスは、高出力かつ高温動作可能な次世代スイッチング素子として期待されている。これまで我々は極薄 GaO_x 界面層を形成した SiO_2/GaO_x/GaN 積層構造に対して熱酸化処理を施すことにより、優れた界面特性（界面準位密度: 10^{10} $cm^{-2}eV^{-1}$ 以下）と高い絶縁性（絶縁破壊電界: 11 MV/cm）を有する高品質な MOS 構造が実現できることを報告してきた。一方、実デバイス作製では、イオン注入後の回復熱処理やコンタクト熱処理など、様々な雰囲気中での熱処理プロセスにより MOS 構造が影響を受けると考えられる。そこで、本研究ではフォーミングガス（FG）中で熱処理を施した SiO_2/GaO_x/GaN MOS キャパシタの電気特性について評価した。

【実験方法と結果】自立 GaN 基板上に Si 添加 n-GaN 層（Si 濃度: 1×10^{16} cm^{-3}）をエピ成長した試料を 5%HCl 溶液で洗浄した後、TEOS-PECVD により SiO_2 層を成膜した。本研究では FG 熱処理による SiO_2 層への影響を明確に評価するため、SiO_2 層の膜厚を約 100 nm の厚膜とした。成膜条件は、TEOS/O_2 流量比 0.5/250、RF 電力 30 W、成膜圧力 79 Pa、基板温度 370ºC である。ここで、先の研究成果から、SiO_2/GaO_x/GaN 構造の熱酸化処理による SiO_2 中への Ga 拡散を抑制するため、SiO_2 層は 2 層から成る積層構造とし、下地層（膜厚: 約 5 nm）は O_2 流量を減らし（TEOS/O_2 流量比 0.5/10）、N_2 を多量に導入した成膜条件を用い、上層は上記の標準条件で成膜した[1]。そして、O_2 中 800ºC で 30 min の熱酸化処理を施し、Ni もしくは Al ゲート電極を形成して MOS 構造を作製した後、FG（3%H_2/N_2）中 400ºC で 30 min の熱処理を施した。図 1 に FG 熱処理を施した SiO_2/GaO_x/GaN MOS キャパシタの双方向 C-V カーブを示す。測定周波数は 1 MHz である。比較のため、熱酸化のみを施した試料（Oxi.）の結果も示している。図から、Oxi.試料はヒステリシスが比較的小さく（470 mV）、傾きも急峻であることから良好な界面特性が得られていることがわかる。そのフラットバンド電圧は正バイアス側に位置していた。一方、電極形成後に FG 熱処理を施した試料ではヒステリシスの更なる低減（Ni-FGA: 168 mV、Al-FGA: 11 mV）が確認されたが、C-V カーブが負バイアス側へ大きくシフトした。FG 熱処理前後で C-V カーブの傾きはほぼ一致していることから、負バイアス側へのシフトは界面欠陥ではなく、SiO_2 層中に正の固定電荷が形成されたためと考えられる。また、そのシフトは Ni-FGA に比べて Al-FGA 試料の方がより顕著であった。図 2 は各試料の I-V 特性を示している。FG 熱処理を施した試料では Oxi.試料に比べて絶縁破壊電界の減少が確認され、FG 熱処理によって SiO_2 層の膜質が劣化したと考えられる。

【謝辞】本研究は，総合科学技術・イノベーション会議の SIP（戦略的イノベーション創造プログラム）「次世代パワーエレクトロニクス」（管理法人：NEDO）によって実施されました．[1] T. Yamada *et al.*, International Workshop on Nitride Semiconductors 2018, Kanazawa (Japan), to be published in JJAP.

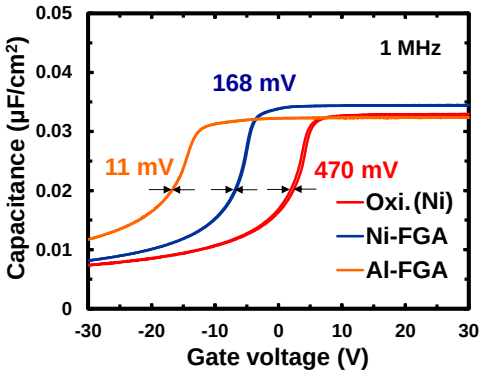

FIG. 1. Bidirectional C-V curves (1 MHz) of SiO_2/GaO_x/GaN MOS capacitors without (Oxi.) and with FG annealing at 400ºC for 30min.

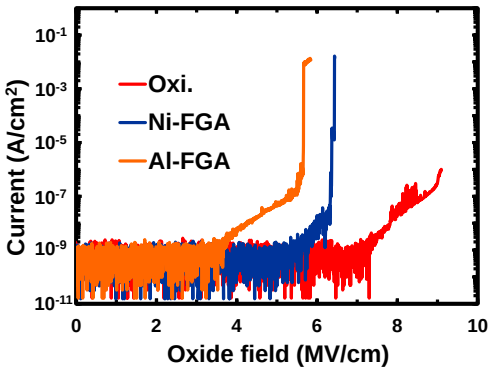

FIG. 2. I-V characteristics of SiO_2/GaO_x/GaN MOS capacitors with and without FG annealing at 400ºC for 30min.

© 2019年 応用物理学会