

プレーナ型シリコン熱電発電デバイスの出力の熱伝導層膜厚依存性
Dependence of Output Power of Planar-type Silicon Thermoelectric Generator
on the Thickness of Thermal Conducting Film

早大理工、[○]野口 生那、目崎 航平、島 圭佑、姫田 悠矢、武澤 宏樹、
平尾 修平、富田 基裕、渡邊 孝信

Waseda Univ., [○]S. Noguchi, K. Mesaki, K. Shima, Y. Himeda, H. Takezawa, S. Hirao,
M. Tomita, and T. Watanabe

E-mail: noguchi_shona@watanabe.nano.waseda.ac.jp

【はじめに】IoT(Internet of Things)社会の実現に向けて、微小センサの無給電動作を可能にするエナジー・ハーベスティングの研究開発が進められている。その一つの手段として熱電発電がある。近年、Si ナノワイヤ(Si-NW)が優れた熱電性能を示すことが明らかにされ、CMOS プロセスと親和性の高い微小熱電発電デバイスの実現に期待が高まっている^[1]。

当研究グループでは Si-NW を基板上に水平に配置したシンプルなプレーナ型 Si 熱電発電デバイスを開発している^[2,3]。これは、基板表面に局所的に熱を注入した際に表面に形成される急峻な温度勾配を利用するものである。Si-NW を空中架橋せずとも Si-NW に温度差を付与できるという、加工上の利点がある。Fig.1 の模式図は、N 型 Si-NW と P 型 Si-NW を、Al 電極を介して4段直列に並べた集積化デバイスを示す。厚い Al 電極は熱伝導層の役割を兼ねており、上部を覆うように高温熱源を配置し、基板裏面を冷却して表面の Si-NW に温度差をつけて動作させる。このとき、空気層を伝って低温側の Al 電極が温められないよう工夫が必要となる。高温側の Al 電極を厚く堆積させることで低温側電極の加熱を抑えられるが、一方で厚くなりすぎると熱抵抗が大きくなり、高温側電極が十分加熱できなくなる。本研究では、最適な熱伝導層膜厚を明らかにするため、実験とシミュレーションで調査した。

【実験】Fig.2 に試作したデバイスの断面図を示す。SOI ウェハ (SOI/BOX = 88nm/145nm, 745μm-base Si) 上に厚さ80nm、幅65nmの Si-NW をパターンニングした。NW 長さ(L)は18, 56, 100μm の3種類を用意した。Si-NW 両端は Si-Pad に接続され、Si-Pad の上に厚さ0.4μm の Al 電極を形成した。Si-NW および Si-Pad はともに n 型で、P⁺ を加速電圧25keV、ドーズ量 $1.0 \times 10^{15} \text{ cm}^{-2}$ で注入してある。片方の電極の上に厚さ(X) 0.5, 1 μm の Al を堆積させ、高温側電極とした。その上からヒーターを搭載した AlN 製プレートを接触させ、基板裏面を冷却ステージに接触させて熱起電力を測定した。ヒーターとステージの温度差 ΔT は20K である。同様の構造で FEM シミュレーションも実施し、実験結果と比較した。

【結果】実際に製作したデバイスでの開放電圧 V_{oc} と追加 Al 電極膜厚の関係を Fig.3 に示す。Al 電極が厚くなると V_{oc} が増加することを確認した。この傾

向の妥当性を検証するためシミュレーションと比較する。シミュレーションによる開放電圧 V_{oc} と追加 Al 電極膜厚の関係を Fig. 4 に示す。追加 Al 電極が 2μm より薄い領域では、電極が厚いほど V_{oc} は増加する。熱電デバイスの発電量は開放電圧 V_{oc} の2乗に比例するため、電極は2μm までならば厚くするほど V_{oc} および発電量が増えるということがわかった。一方で、電極が2μm より厚い場合、 V_{oc} は減少に転じることもわかった。つまり、電極を2μm 以上に厚くする意味はないということになる。以上の結果より、追加 Al 電極の膜厚は2μm ほどが最適であるといえる。なお、Fig.3 と Fig.4 を比較すると V_{oc} のシミュレーション値は実測値よりも大きいことがわかる。これは、シミュレーションでは熱源が持つ熱抵抗を考慮していないことが原因であると考えられる。今後、シミュレーションから得られたように、追加 Al 電極厚さが2μm 以上のときに発電量が減少する傾向が見られるか実証を行う予定である。

【謝辞】本研究は、JST-CREST (JPMJCR15Q7) により補助を受けたものである。デバイス作製は、文部科学省ナノテクノロジープラットホーム事業 (NIMS 微細加工プラットホーム) の支援を受けて実施された。

[1] A. I. Hochbaum et al., Nature, **451**, 163 (2008).

[2] T. Xu et al., European Conference on Thermoelectrics (2016)

[3] M. Tomita et al., Symp. VLSI Technol. Dig. Tech. Papers (2018) 93.

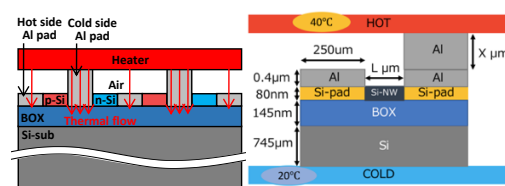


Fig.1 The model of the integrated device.

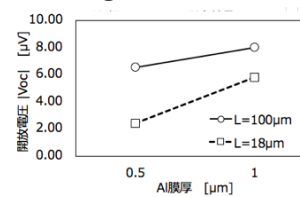


Fig.3 Thickness dependence of the device.(Experimental)

Fig.2 The cross-sectional view of the device.

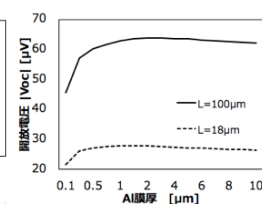


Fig.4 Thickness dependence of the device.(Simulation)