高誘電率絶縁膜を用いた Cu-MIC 4 端子 poly-Ge_xSn_{1-x}TFT の開発

Four terminal Cu-MIC poly-Ge_xSn_{1-x} TFTs with high-k gate dielectric

東北学院大工　○宮崎 僚，内海 大樹，原 明人

Tohoku Gakuin Univ., °Ryo Miyazaki, Hiroki Utumi, Akito Hara

E-mail: akito@mail.tohoku-gakuin.ac.jp

【はじめに】

我々は過去に銅(Cu)を触媒とした金属誘起固相成長(Metal induced crystallization : Cu-MIC)によって成長させた多結晶ゲルマニウムスズ(poly-Ge_xSn_{1-x})をチャネル層としたダブルゲート(DG)構造の薄膜トランジスタ(TFT)の開発及び動作に成功している [1-2]。また上下のゲートを独立させた四端子構造でも動作に成功させており、閾値電圧の制御性を確かめることができた [2]。本研究では、TFT の性能の更なる向上と、異なる CET を持つ上下のゲートスタックにおける閾値電圧(V_{th})の変化を見るために、ボトムゲート(BG)絶縁膜に高誘電率絶縁膜(High-k)の一つである HfO_2 を採用した。

【実験】

図 1 に TFT の断面模式図を示す。BG を加工したガラス基板上に反応性スパッタリングによって HfO_2 膜を堆積させる。次に、チャネル層との界面の相性をよくするためにプラズマ CVD によって SiO_2 を 5.0 nm 堆積させ、最後に、これらの膜の緻密化のために酸素雰囲気中 500 ℃・3.0 h という条件で熱処理を行う。これを BG 絶縁膜とする。なお、この CET は 23.1 nm であり、トップゲート(TG)絶縁膜(SiO_2 : 30 nm)よりも低い。ゲート長 L とゲート幅 W は L/W = 10/20 (μm)である。これ以外の詳細なプロセスは過去に作製したものと同一である [2]。

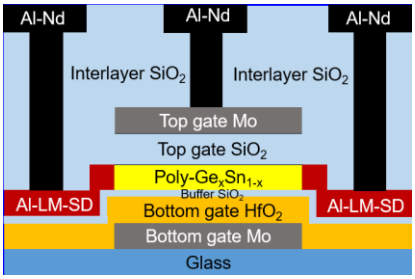

図 1. Cross sectional of TFT

【結果】

図 2 にダブルゲート(DG)動作でのトランスファ特性を示す。I_{on}/I_{off} は 1700 程度である。図 3 に片方のゲートを制御ゲートとした場合のトランスファ特性を示す。赤い太線が DG 駆動時のものであり、黒い線が TG 駆動、桃色の線が BG 駆動時のものである。制御ゲート電圧値(V_{CG})は＋3.0 (V)から－3.0 (V)までの範囲で 1.0(V)間隔で変化させた。図 4 に V_{th} の変調を示す。$\gamma = |\Delta V_{th} / \Delta V_{CG}|$と定義すると、TG 駆動時では γ=0.74、BG 駆動時では γ=0.62 となった。

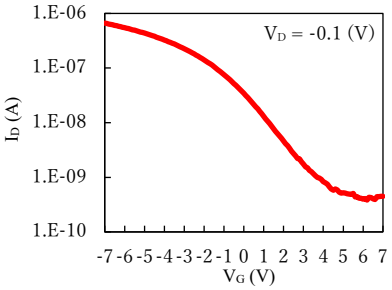

図 2. DG transfer characteristics

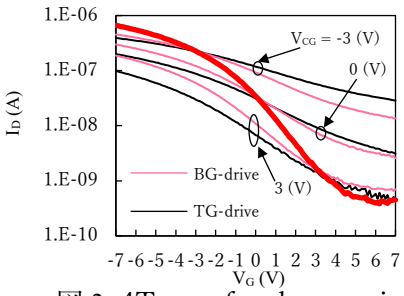

図 3. 4T transfer characteristics

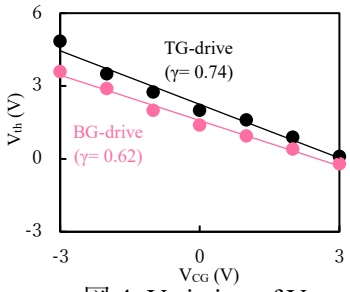

図 4. Variation of V_{th}

【考察】

DG 駆動時の I_{on}/I_{off} は過去に作製したものより改善することに成功して、high-k の効果を確かめることができた [2]。BG 駆動時の方がトランスファ特性の立ち上がりが鋭く、また I_{on}/I_{off} も大きくなっている。加えて γ も CET が低い BG 駆動時のほうが小さくなっており、理論通りに動いていることを示している [3]。

【まとめ】

四端子多結晶ゲルマニウムスズ薄膜トランジスタの動作に成功した。High-k の導入によって特性の改善及び理論通りの閾値電圧値の制御に成功した。

【今後の課題】

過去には CET=10.5 nm を実現しているため [4]、high-k の薄膜化による更なる高性能化を行う。

【謝辞】

本研究は科学研究費基盤(C)16K06311 と池谷科学技術振興財団によって支援されている。

【参考文献】

1) N. Nishiguchi et al., SID, P-194 (2018). 2) R. Miyazaki et al., AM-FPD, L-2 (2018). 3) A. Hara et al., ECS Trans. 2016, 75. 4) T. Meguro et al., IEICE Trans. 2017, 94.