ZrO₂による EOT スケーリングを用いた Planar-type 量子井戸 InGaAs TFET の性能向上

Performance enhancement of planar-type Quantum well InGaAs TFET by EOT scaling using ZrO2

東京大学・院工

 ^o安大煥, 尹尚希, 加藤公彦, 福井太一郎, 竹中充, 高木信一 The University of Tokyo, School of engineering
^oD.-H. Ahn, S.-H. Yoon, K. Kato, T. Fukui, M. Takenaka and S. Takagi E-mail: daehwan23@mosfet.t.u-tokyo.ac.jp

【はじめに】バンド間トンネリングを用いる TFET(Tunnel Filed Effect Transistor)は、MOSFET の限界である 60 mV/dec より急峻な S.S.値が実現できるため、次世代低消費電力トランジスタとして注目を集めている[1]。III-V 化 合物半導体の In_{0.53}Ga_{0.47}As はバンドギャップが狭く、直接遷移型半導体であるためにバンド間トンネル電流が高く、TFET のチャネル材料として非常に有望である[1-2]。In_{0.53}Ga_{0.47}As に Zn-doped Spin on Glass (Zn SOG)を用いて Zn 拡散を施すと 3.5 nm/dec といった非常に急峻な濃度分布勾配が得られ、シャープなトンネル接合が実現できる[2]。 我々は Zn 拡散ソース InGaAs TFET に W/HfO₂/Al₂O₃(CET=1.4 nm)を導入することで、57 mV/dec の S.S_{min}を得た[3-4]。 TFET はゲート電圧制御性に非常に敏感であることがよく知られている。本研究では、InGaAs TFET のゲート絶縁 腹として、HfO₂より誘電率の高い ZrO₂を用いて、バルク及び量子井戸 InGaAs TFET の性能向上を目指した。 【研究内容】HfO₂より誘電率の高い ZrO₂ (*k*-40)を用いることで、極薄 EOT 領域でのゲートリーク電流を抑える

【研究内容】 HfO_2 より誘電率の高い ZrO₂(k-40)を用いることで、極薄 EOT 領域でのゲートリーク電流を抑える ことができ、更なる EOT スケーリングが可能となる。Fig. 1 に ZrO₂ゲートスタックを用いた InGaAs TFET の作製 プロセスフローを示す。ここで、良好な MOS 界面特性を実現するため、ZrO₂ と InGaAs の間に薄膜(1~5-cycle ALD)の Al₂O₃界面層を挿入している。界面準位が十分低くなると InGaAs TFET の S.S_{min}は、CET の減少と共に、 急峻になることが観測される。1~1.2 nm の CET で、55~57mV/dec の S.S_{min}(室温)が得られた(Fig. 2)。

ー方、我々はバンドギャップがさらに狭い高 In 組成の InGaAs を用いた In_{0.53}Ga_{0.47}As/In_xGa_{1-x}As/In_{0.53}Ga_{0.47}As (x>0.53)量子井戸 TFET (Fig. 3) を提案した[3],[5]。量子井戸構造を TFET のチャネルとして用いると、MOS 界面 付近の高 In 組成の In_xGa_{1-x}As で高いトンネル電流が得られると共に、pn 接合がほぼ低 In 組成の In_{0.53}Ga_{0.47}As 中に 形成されるため、低い I_{off}を維持することができる。一方、高性能の InGaAs TFET のトンネル接合形成においてソースの Zn 分布の急峻性は重要な役割を果たす。このため、In_xGa_{1-x}As 中の Zn 分布の In 組成依存性を調べた。Fig. 4 のように、In 組成が 0.8 を越えると、Zn 濃度分布の急峻性が劣化し始めることが分かる。濃度分布の急峻性が劣 化すると、トンネル距離の増大により InGaAs TFET の性能が劣化する恐れがある。本実験では、Zn 濃度分布急峻 性の劣化を避けるために、In_{0.75}Ga_{0.25}As (2.8 nm)量子井戸を用いた。この In_{0.75}Ga_{0.25}As 量子井戸に 1.1 nm の CET の W/(35-cycle) ZrO₂/(2-cycle) Al₂O₃のゲートスタックを用いることができた。

【結論】バルク InGaAs TFET のゲート絶縁膜に(35-cycle) ZrO₂/((1~3)-cycle) Al₂O₃ (CET: 1~1.2 nm)を用いること により、55~57mV/dec の S.S_{min}を得た。さらに、In_{0.75}Ga_{0.25}As (2.8-nm)量子井戸に W/(35-cycle) ZrO₂/(2-cycle) Al₂O₃ (CET: 1.1 nm) ゲートスタックを適用し、50 mV/dec の S.S_{min}を達成した。

【謝辞】この研究はJST-CREST Grant Number JPMJCR1332からの支援を受けて行われた。InGaAsエピ基板を提供頂いた住友化学の山本武継氏、横山正史氏に感謝する。

90

75

W/ZrO

[mV/dec]

W/ZrO,/InGaAs

ຸ/Al ູO ຼIL/InGaAs

Rectangle : high D



Fig. 1 Fabrication flow of InGaAs TFET



Fig. 4 Zn steepness in different $In_xGa_{1-x}As$ as a function of In content (x)



Fig. 2 S.S_{min}-CET relationship of $In_{0.53}$ Ga_{0.47}As TFET with ZrO_2/Al_2O_3



ultra-thin In_{0.53}Ga_{0.47}As In_xGa_{1-x}As (x>0.53, y nm) In_{0.53}Ga_{0.47}As (97-y nm) Enhanced tunneling current in In_xGa_{1-x}As Ta Al₂O₃ (3nm) P⁺ Al₂O₃ (3nm) P⁺ Suppression in function leakage in fow

Fig. 3 Schematic of $In_xGa_{1-x}As$ Quantum Well TFET



Fig. 5 I-V of $In_{0.75}Ga_{0.25}As$ QW TFET with (35)-cycle ZrO₂/2-cycle Al₂O₃.

Fig. 6 S.S-I_S of $In_{0.75}Ga_{0.25}As$ QW TFET with (35)-cycle ZrO₂/2-cycle Al₂O₃.

【参考文献】[1] A.C.Seabaugh et al., *IEEE Proc.*98, 12 (2010) [2] M. Noguchi et al., *JAP* 118, 045712 (2015) [3]D.H. Ahn et al., *VLSI symp.*, 152 (2016) [4] D.-H. Ahn et al., *APEX* 10, 084201 (2017) [5] D.-H et al., *JAP* 122, 135704 (2017).