

UTB-GeOI チャンネル構造における裏面 Si パッシベーションの効果

The impact of backside Si passivation on UTB-GeOI channel

産総研¹, °張文馨¹, 入沢寿史¹, 石井裕之¹, 内田紀行¹, 前田辰郎¹

AIST¹, °W. H. Chang, T. Irisawa, H. Ishii, N. Uchida, and T. Maeda

E-mail: wh-chang@aist.go.jp

【背景】

従来の 2 次元的な集積化限界を打破するモノリシック 3D CMOS 実現には、低温で高性能な積層型 CMOS が形成可能な Ge-on-Insulator(GeOI)チャンネル構造が求められている。われわれは SiGe 系ヘテロエピ技術とその低温転写技術を利用した HEtero-Layer-Lift-Off (HELLO)法^[1,2]を用い、高品質な超極薄 GeOI 構造を作成してきた。さらにチャンネル裏面構造にも着目し Si パッシベーションを裏面界面に施すことで、10 nm 以下の極薄膜領域において薄膜化に伴う移動度劣化を最大限抑制することに成功している^[3]。本研究では、この裏面界面への Si パッシベーション効果を検証するために、UTB-GeOI 構造においてホール効果評価を行った。その結果、Si パッシベーションによる裏面界面での正孔生成と、ホール効果移動度の GeOI 膜厚依存性の改善が明らかになったので報告する。

【実験方法】

UTB-GeOI 層のホール効果移動度の測定は、van der Pauw 法にて行なった。裏面界面の Si パッシベーションは、貼り合わせ前の Ge エピ層に Si 層を 0.5 nm 成長させ、接合することで形成される。GeOI 層(約 200 nm)の素子分離後、電極領域に NiGe 層を形成、デジタルエッチング法にて評価領域のみ 4-16 nm までリセスエッチングすることで測定素子を作製した。Fig. 1 に、裏面 Si パッシベーションの有無によるホール効果評価素子の断面図を示す。

【結果及び考察】

Fig. 2 に裏面 Si パッシベーションの有無による GeOI 構造のシートキャリア濃度(N_s)とホール効果移動度の膜厚依存性を示す。 N_s (正孔)は、Si パッシベーション無しで約 $5 \times 10^{11} \text{ cm}^{-2}$ 、有りの場合は約 $5 \times 10^{12} \text{ cm}^{-2}$ と約十倍に増加し、その膜厚依存性はほとんど見られないことから、Si パッシベーションによる裏面界面での正孔生成が確認された。ホール効果移動度は、無しの場合膜厚が薄くなるにつれて移動度が明確に減少する傾向が見られる。一方で、有りの場合のホール効果移動度は、Si パッシベーション無しよりも N_s が多いにもかかわらず高く、薄膜化しても約 $200 \text{ cm}^2/\text{Vs}$ を維持していることがわかった。Si パッシベーションによるチャンネル裏面構造の改質は、10 nm 以下の UTB-GeOI 構造において、移動度向上に極めて効果的であることがわかる。この傾向は GeOI pMOSFETs から得られたデバイス特性とも良く一致している^[2]。

【謝辞】

本研究は JSPS 科研費 JP17H06148 の助成を受けたものです。

【参考文献】

- [1] T. Maeda et al., *APL* **109**, 262104 (2016)
- [2] W. H. Chang et al., *VLSI* **192** (2017)
- [3] W. H. Chang et al., *VLSI* **191** (2018)

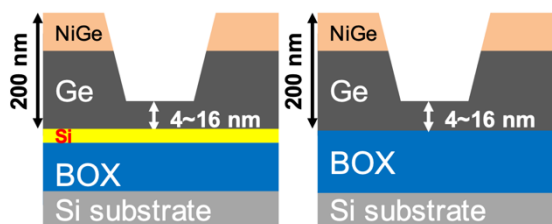


Fig. 1 Schematic cross-sectional images for recessed GeOI structure with and without backside Si passivation for Hall measurement.

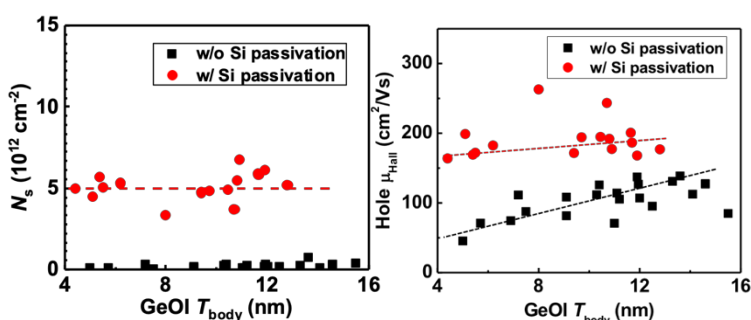


Fig. 2 Thickness dependence of sheet carrier concentration (N_s) and hole Hall mobility for GeOI structure with and without backside Si passivation as extracted from Hall measurement.