

超平坦 ZnSnO チャンネルによる積層型 TFET サブスレシヨルド特性の改善

Improvement of sub-threshold characteristics in bilayer TFETs by utilizing ultra-flat ZnSnO channel layer

東大院工 °加藤 公彦, 松井 裕章, 田畑 仁, 竹中 充, 高木 信一

°Kimihiko Kato, Hiroaki Matsui, Hitoshi Tabata, Mitsuru Takenaka, Shinichi Takagi

The University of Tokyo E-mail: kkato@mosfet.t.u-tokyo.ac.jp

低消費電力スイッチング素子として期待される TFET に対し、我々は、n 型酸化物半導体チャンネルと p 型 IV 族半導体ソースとを積層させた積層型 TFET による高性能化を提案している[1]。接合面全域に渡るゲートに対して垂直なトンネリングや、type-II エネルギーバンド構造によるトンネル確率の増大により、高い on 電流 (I_{on}) と極めて小さなサブスレシヨルドスウィング (S.S.) の両立が期待される。これまで、酸化物半導体チャンネルに ZnO を用いた ZnO/Si や ZnO/Ge TFET の動作実証に成功しているが、シミュレーションにより予測される急峻なサブスレシヨルド特性は達成されておらず、改善の余地が残る。

性能向上の鍵の 1 つとして、チャンネル層の平坦性に注目している。積層型 TFET の閾値は酸化物半導体膜厚に強く依存する。つまり、トンネル接合面内で酸化物半導体厚さが揺らいだ場合、素子全体の I_d - V_g 特性は閾値の異なる特性の足し合わせとなるため、サブスレシヨルド特性が大きく劣化する[2,3]。実際、これまでに報告した ZnO/Si TFET においては、ZnO は柱状多結晶構造を形成しており、膜厚が目面内で大きく揺らいでいることが分かる (Fig. 1(a))。そこで、デバイス作製に必須な熱プロセス後においてもアモルファス構造を有する酸化物半導体が有望と考え、本研究では ZnSnO チャンネル層を検討した[4]。

初めに、ZnSnO 中の組成比 (Zn/Sn: 1~1.5) と堆積温度 (室温~300°C) の影響を幅広く調査した。ZnSnO は PLD 法により堆積し、堆積時の酸素分圧は $\sim 1 \times 10^{-3}$ Pa であった。また、ZnSnO 堆積直後には、点欠陥に起因する電子濃度低減のため 400°C の酸素雰囲気熱処理を施しており、本熱処理温度が素子作製全体を通じて最高到達温度である。Sn 添加の無い ZnO 膜および高 Sn 組成 (Zn/Sn=1~1.3) の ZnSnO 膜においては、いかなる堆積条件においても表面ラフニングが観測された (*not shown*)。一方、Zn/Sn=1.5 の ZnSnO 膜においてのみ、堆積温度 300°C において極めて平坦な膜の形成を実現した (Fig. 1(b))。ZnSnO 膜は素子作製プロセス後もアモルファス構造を有し、表面の RMS は 0.08 nm であった。

多結晶 ZnO/Si およびアモルファス ZnSnO/Si TFET の素子特性を Fig. 2 に示す。ZnSnO/Si TFET において、 I_{on} の増大や正方向への閾値電圧のシフトが確認される。ZnO に比べて SnO の伝導帯端のエネルギーは低いことが知られており[6]、トンネル障壁高さの低減により I_{on} の増大が実現されたと考えられる。また、S.S.値を比較したところ、局所的な最小 S.S.値は ZnO/Si TFET が小さいものの、ZnSnO/Si TFET においては 4 桁近くの幅広い I_d 範囲で比較的小さな S.S.値が得られている。以上より、平坦な ZnSnO チャンネルの導入により、積層型 TFET の平均 S.S.値を大幅に低減可能であることが明らかとなった。

謝辞：本研究は、JST CREST の支援 (課題番号：JPMJCR1332) を受けて行われた。参考文献：[1] K. Kato *et al.*, IEDM 2017, p.377. [2] K. Kato *et al.*, SSDM 2018, p.187. [3] 加藤 他, 2018 秋応物, 21a-CE-3. [4] Y. Hayashi *et al.*, Vacuum 74, 607 (2004). [5] K. Kato *et al.*, APL 112, 162105 (2018). [6] J. Robertson *et al.*, PRB 83, 075205 (2011).

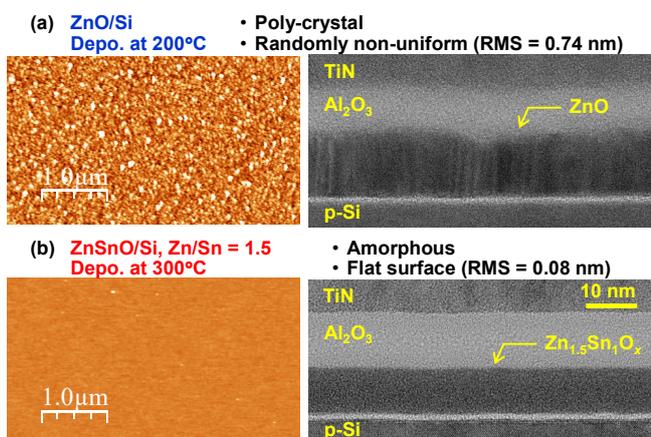


Fig. 1 AFM images of oxide-semiconductor channel surface and cross-sectional TEM images of tunneling junction in (a) ZnO/Si and (b) ZnSnO/Si TFETs.

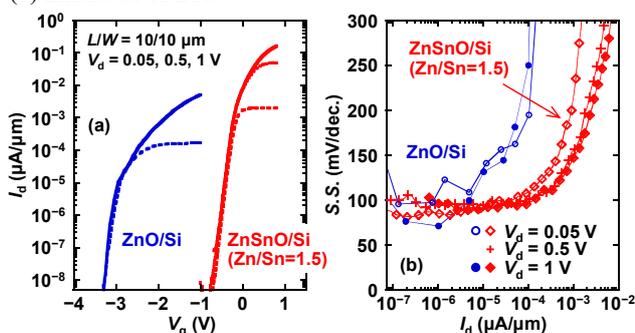


Fig. 2 (a) I_d - V_g and (b) S.S.- I_d characteristics of poly-crystalline-ZnO/Si and amorphous-ZnSnO (Zn/Sn=1.5)/Si TFETs measured at room temperature.