

Trap-Assisted Tunneling を活用した Tunnel-FET : “TAT-FET” のデバイス物理

Device Physics for Tunnel-FET Utilizing Trap-Assisted Tunneling: “TAT-FET”

宝玉 充 久木田健太郎 上地忠良 泉田貴士 谷本弘吉 青木伸俊 尾上誠司 (東芝メモリ)

Michiru Hogyoku, Kentaro Kukita, Tadayoshi Uechi, Takashi Izumida, Hiroyoshi Tanimoto, Nobutoshi Aoki, and Seiji Onoue
(Institute of Memory Technology Research & Development, Toshiba Memory Corporation)

E-mail: michiru.hogyoku@toshiba.co.jp

1. 背景と目的

Band-to-Band Tunneling (BTBT)を活用した Tunnel-FET[1]は、低電圧動作に適した急峻スイッチング素子の候補として期待されており、精力的に研究開発が進められている[2]。その一方で、BTBT に似た現象として Trap-Assisted Tunneling (TAT)も広く知られており、こちらの TAT を BTBT の代わりに活用する Tunnel-FET、言わば “TAT-FET” も、すでに検討が始まっている[3, 4]。ただし、TAT-FET の原理については、まとまった報告がなされていないのが実情である。これを受けて、本報告では TAT-FET の原理について改めて検討し、**我々が目指すべき TAT-FET に適したトラップとはどのようなものなのか、そして逆に TAT-FET に適さないトラップとは何なのかを、あくまでもデバイス物理のレベルで明確化する。**

なお、伝導帯電子と共鳴するギャップ中準位を考える、言わば Resonant-Tunneling-FET の物理モデルが、すでに報告されている[5]。しかし、ゲート絶縁膜内のギャップ中準位と、シリコンの伝導帯ないし価電子帯との共鳴を示唆させる Random Telegraph Noise (RTN) の報告例はない。よって本報告では、電子-格子間の相互作用が強く、共鳴が崩壊して完全に局在化した準位、すなわち small polaron の self-trapping[6]の状態を想定することとした。また、同 self-trapping を想定した TAT の物理モデル[7, 8]については、いわゆる Gate-Induced Drain Leakage (GIDL) の要因として、BTBT と並んで広く知られたモデルであることを付け加えておく。

2. 検討と結論

参考文献[3]の FIG. 5 を手本に、TAT-FET のトラップが満たすべき要件を、改めて図 1(a)と図 1(b)に示す。図 1(a)には、バンドの曲がりやバンドギャップよりも小さく、本来オフ状態にあるべきバイアス条件でのバンド図が描かれている。この図から、

要件 A : 「オフ電流を十分に抑制するには、電子がフォノンのエネルギーを吸収する確率が低いトラップが、より好ましい」

ことが分かる。一方、図 1(b)には、バンドの曲がりやバンドギャップよりも大きく、本来オン状態にあるべきバイアス条件でのバンド図が描かれている。この図からは、**要件 B : 「オン電流を十分に増加させるには、電子が少量のフォノンエネルギーを放出する確率が高いトラップが、より好ましい」**ことが分かる。なお、これらの要件から、逆に TAT-FET に適さないトラップの要件を導くこともできる。

次に、TAT-FET に適したトラップについて、より具体的な情報を得るために、前記 2 要件に出てくる「電子によるフォノンの放出/吸収の遷移確率」を、TAT の物理モデル[7, 8]に基づいて計算した。その結果を図 2 に示す。紫線で示した、格子緩和エネルギー (Shv) が 0.02 eV のケースでは、**電子がフォノンを吸収する確率が低く、電子が少量のフォノンを放出する確率が高い**ことが分かる。すなわち、**格子緩和エネルギー (Shv) が 0.02 eV と小さい場合は、前記 2 要件を満たしており、TAT-FET に適したトラップである**と考えられる。逆に、オレンジ線で示した、格子緩和エネルギー (Shv) が 0.2 eV のケース[4]では、電子がフォノンを吸収する確率は紫線よりも高く、電子が少量のフォノンを放出する確率は紫線よりも低い。すなわち、**格子緩和エネルギー (Shv) が 0.2 eV と大きい場合は、前記 2 要件に反しており、TAT-FET に適さないトラップである**と考えられる。

ちなみに、Si を前提として、Shv = 0.02 eV の場合の TAT のキャリア生成レート[7, 8]を、BTBT の Hurkx モデル[9]と比較したものを、図 3 に示す。なお、D 項[9]は無視し、TAT のトラップ深さは $E_g/2$ 、トラップ密度は $1E18 \text{ 1/cm}^3$ とした。この図より、Shv = 0.02 eV の場合の TAT の電界依存性の強さは、BTBT に比べて遜色ないと言える。

参考文献

[1] A.M. Ionescu and H. Riel, Nature **479**, 329 (2011). [2] 例えば S. Takagi et al., IEDM

2016, 516. [3] T. Mori et al., APL **106**, 083501 (2015). [4] S. Sant et al., IEEE-TED **63**, 4240 (2016). [5] S. Iizuka et al., Mater. Sci. Semicond. Processing **70**, 279 (2017). [6] C. Kittel, Introduction to Solid State Physics, 8th ed., Chap. 14. [7] S. Makram-Ebeid and M. Lannoo, PRB **25**, 6406 (1982). [8] Sentaurus Device User Guide L-2016.03, Chap. 17. [9] G. A. M. Hurkx et al., IEEE-TED **39**, 331 (1992).

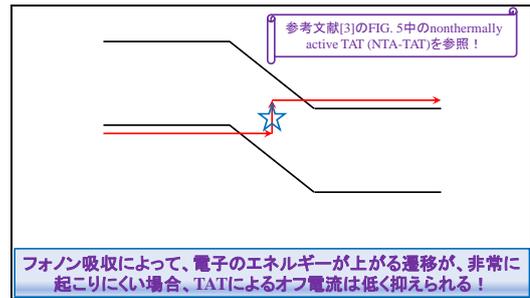


図 1(a). オフ状態での TAT-FET のバンド図

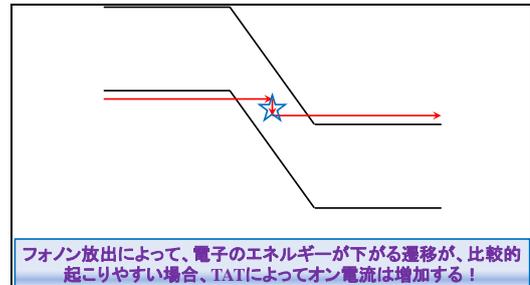


図 1(b). オン状態での TAT-FET のバンド図

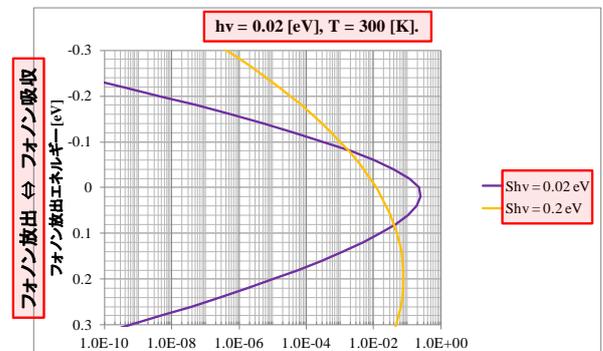


図 2. 電子によるフォノンの放出/吸収の遷移確率 (横軸は遷移確率)

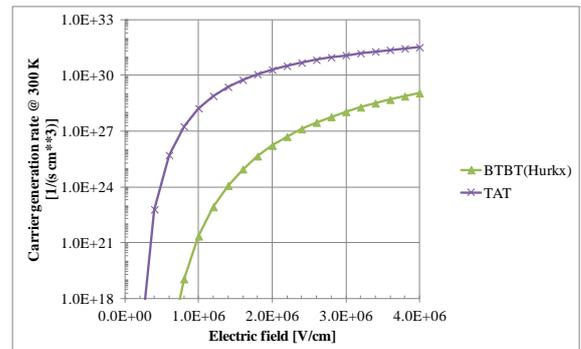


図 3. Si 中における TAT と BTBT のキャリア生成レートの電界依存性