ハーフインチサイズのマルチチップパッケージ

Half-Inch Sized Multi-Chip Packaging

[1]産総研，[2]ミニマルファブ推進機構
[1]AIST, [2]Minimal Fab Promoting Organization
○居村 史人[1]，井上 道弘[1]，クンプアン ソマワン[1, 2]，原 史朗[1, 2]
°Fumito Imura[1], Michihiro Inoue[1], Sommawan Khumpuang[1, 2] and Shiro Hara[1, 2]
E-mail: fumito.imura@aist.go.jp

【はじめに】異種の電子デバイスチップをパッケージ上に集積して電子システムを実現するシステム・イン・パッケージ(SiP)が広く研究、開発されている。近年では、パッケージの薄型化、高性能化のために、パッケージ基板を無くして直接パッケージ上にチップ間接続を目的とする再配線層(RDL: Redistribution Layer)を形成したファンアウト・ウェハレベルパッケージ (FOWLP)がスマートフォンなどに採用され脚光を浴びている。しかしながら、この FOWLP は一般的に後工程よりも高コストである前工程のプロセス技術を導入しているため、設備投資の問題が生じてしまう。このパッケージングも含めた半導体工場の設備投資の問題を解決するために、超小型半導体生産システムのミニマルファブが開発され、これまでに、前工程から後工程・パッケージングまでの製造システムの統合化[1]、*p*MOSFET の動作実証、レーザビアのコンタクト抵抗の低抵抗化と高歩留まり接続が達成されている[2]。さらに、IoT, AI などに広く要求される多種多様な電子システムの製造を実現するために、ミニマルファブの IoT デバイス製造プラットフォームの構築が進められている(図 1) [3]。ここでは、ミニマルファブの前工程で作製したウェハをダイシングして、その複数のチップをハーフインチサイズの基板上に 2 次元に配置、搭載する、マルチチップボンディング(MCB)装置が必要となる。今回、新規開発した MCB 装置を用いて、ハーフインチサイズの同一パッケージ基板上に、複数の Si チップを搭載した結果について報告する。

【実験】ミニマルファブの前工程装置群を用いて、Si ハーフインチウェハに Al 電極パッド・アライメントマーク(サイズ 120μm)を形成した。この Si ウェハをミニマルダイシング装置を用いてダイシングし、チップ化した。作製したチップサイズは、1.0x0.5, 2.0x1.2, 3.0x2.1, 4.0x3.2, 5.0x4.5, 6.0x4.0mm^2 の 6 種類であり、チップ厚みは、250μm であった。これらのチップを 2 インチサイズのチップトレーにチップサイズ毎に収納し、このチップトレーを MCB 装置内に設置した。チップを搭載する基板には 42 アロイ基板(ϕ13.5mm、0.2mm 厚)を用いた。チップと 42 アロイ基板間のアライメントのために、予め 42 アロイ基板上の 3 箇所にϕ150μm サイズのレーザマーカをミニマルレーザアブレーション装置を用いて形成した。この 42 アロイ基板を装置内に搬送後、まず 42 アロイ基板上のチップ搭載位置に Ag ペーストを打点塗布した。その後、チップトレーからチップ上面を吸着ノズルで吸引してピックアップし、チップ上のアライメントマークをカメラで認識後、42 アロイ基板上の指定した位置に 1 チップずつ搭載した。6 チップ搭載後は、ミニマルリフロー装置用いて窒素雰囲気下 180℃5 分間加熱して Ag ペーストを固化、接着させた。光学顕微鏡を用いてチップの搭載位置ずれを測定した。

【結果】図 2 に、42 アロイ基板上に 6 チップ搭載した後の実体顕微鏡写真を示す。表 1 に、各チップの搭載位置ずれの結果を示す。位置ずれは最大 Δx=24μm, Δy=26μm、$\Delta\theta$=1.0 度であった。このプロセス後は、モールド成形を経てレーザビア形成を行う。ここで、レーザビアのビア底径がϕ20μm の場合、レーザビアのアライメント精度を±15μm 以下に抑えることができれば、一般的な 100μm サイズの電極パッド上にビアを形成することができると考えられる。

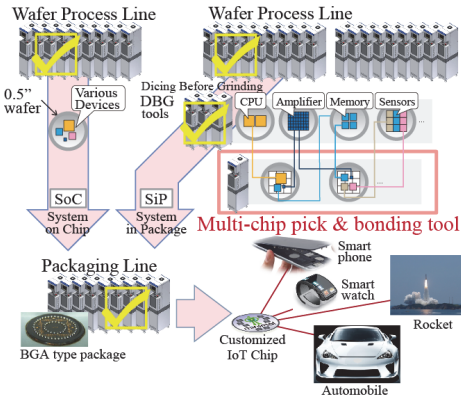

図 1. ミニマルファブ IoT デバイス製造プラットフォーム(☑マークは既に開発済み)

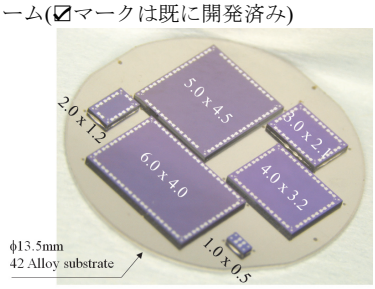

図 2. マルチチップボンディング後の実体顕微鏡写真

表 1. チップ搭載位置ずれ

Chip size[mm^2]	Δx [μm]	Δy [μm]	$\Delta\theta$ [°]
1.0 x 0.5	0.7	1.3	-1.00
2.0 x 1.2	10.5	-8.3	0.35
3.0 x 2.1	23.9	-25.6	0.11
4.0 x 3.2	23.3	-6.7	-0.01
5.0 x 4.5	-3.1	10.4	-0.24
6.0 x 4.0	8.3	3.8	-0.25

参考文献

[1] 居村他, スマートプロセス学会誌, 5(5), 280-287, 2016.
[2] F. Imura et al., J. Photopolym. Sci. Technol., 32(6), 763-768, 2019.
[3] 居村他, エレクトロニクス実装学会誌, 22(6), 507-513, 2019.

© 2020年 応用物理学会