Hf 界面層を用いた強誘電性ノンドープ HfO_2 の薄膜化と MFSFET への応用

Fabrication of MFSFET with ferroelectric non-doped HfO_2 utilizing Hf interfacial layer

東工大 工学院 °林 将生, 片岡 正和, Kim Min Gee, 大見 俊一郎

Tokyo Institute of Technology, °Masaki Hayashi, Masakazu Kataoka, Min Gee Kim, and Shun-ichiro Ohmi

E-mail: hayashi.m.ay@m.titech.ac.jp, ohmi@ee.e.titech.ac.jp

1. はじめに

強誘電体 HfO_2 薄膜は、従来の強誘電体材料では不可能であった Si 基板上への形成が可能であり、強誘電体ゲートトランジスタ(MFSFET)への応用が期待されている[1]。前回、我々は Hf 界面層(IL)を導入した膜厚 20 nm の強誘電性ノンドープ HfO_2 を用いた MFSFET に関して報告した[2, 3]。今回、低動作電圧を目的として、HfO_2 を 10 nm に薄膜化した MFSFET を作製したので報告する。

2. 実験方法

p-Si(100)基板上にフィールド酸化膜を形成し、チャネルストップおよびソース/ドレイン領域をイオン注入法により形成した。次に、Pt(20 nm)/HfO_2(10 nm)/Hf(1 nm)積層構造を RF マグネトロンスパッタ法を用いて in-situ で室温堆積し、コンタクトホールを形成後、Pt 電極を形成した。HfO_2 の堆積条件は、Ar/O_2=2.3/0.5 sccm, 60 W とした。次に、N_2 雰囲気で 500-600 °C/30 s の PMA を行い、裏面の Al 電極を真空蒸着して MFSFET を作製した(L/W=10/90 μm)。作製したデバイスについて、I_D-V_G 特性を評価した。

3. 実験結果および考察

図 1 に作製した MFSFET の I_D-V_G 特性を示す。600 °C/30 s でアニールしたデバイスは分極型のヒステリシスを示し、メモリウィンドウ(MW)0.03V、ON/OFF 比 2.3x10^6、S 値 160 mV/dec. が得られた。一方、500 °C/30 s でアニールした場合、電荷注入型のヒステリシスを示し、結晶化が不十分であると考えられる。またオフ電流の増加がみられ、ON/OFF 比 1.4x10^5、S 値 140 mV/dec. が得られた。以上の結果から、1 nm の Hf 界面層を導入した強誘電性ノンドープ HfO_2 の薄膜化に成功し、MFSFET の動作を電源電圧 2 V で実現した。

謝辞

本研究にご協力いただいた本学の舟窪浩教授に感謝致します。また、本研究の一部は、JSPS 科研費 19H00758 および NEDO の支援を受けて行われました。

参考文献

[1] T. S. Böscke et al., Appl. Phys.Lett., **99**, 102903 (2011).
[2] 片岡 他、第 79 回秋季応物予稿集, 20p-141-4, p.100000001-175 (2018).
[3] 片岡 他、第 67 回春季応物予稿集, 14p-A303-6, p.100000000-032 (2019).

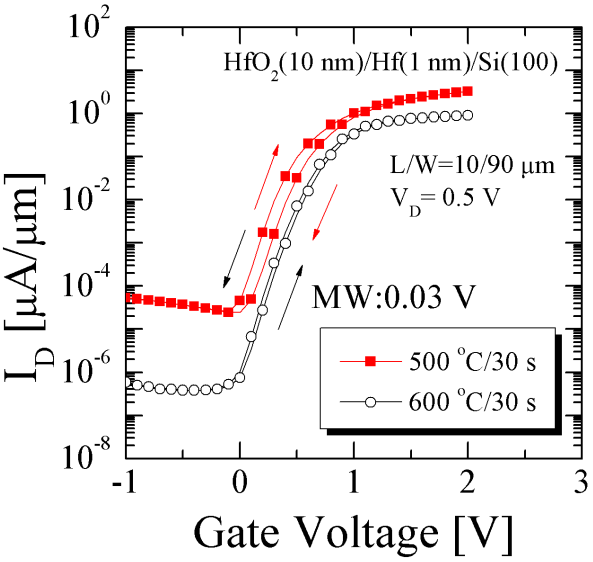

図 1　作製した MFSFET の I_D-V_G 特性

表 1　MFSFET のデバイスパラメータ

アニール条件	MW [V]	ON/OFF 比	S 値 [mV/dec.]
500 °C/30 s	-	1.4x10^5	140
600 °C/30 s	0.03	2.3x10^6	160