

酸化過程排除プロセスによる高品質 4H-SiC/SiO₂ 界面の形成

Formation of high-quality 4H-SiC/SiO₂ interface by excluding oxidation process

京大院工 ○(D2) 立木 馨大, 金子 光顕, 小林 拓真, 木本 恒暢

Kyoto Univ., °Keita Tachiki, Mitsuaki Kaneko, Takuma Kobayashi, Tsunenobu Kimoto

E-mail: tachiki@semicon.kuee.kyoto-u.ac.jp

背景： 現在 SiC/SiO₂ 高密度界面準位の低減のため、酸化膜形成後の一酸化窒素(NO)雰囲気における高温熱処理が広く用いられている。NO 処理は界面の窒化のみならず、わずかではあるが酸化も同時に進行するため、酸化膜形成条件によらず、界面準位密度(D_{it})はほとんど一定の値に決定される。これに対し、N₂はNOと異なり分子に酸素を含んでいないため、高温熱処理により酸化が生じないという特徴があり、N₂処理前の酸化膜形成条件によって大きく D_{it} が変化するという報告がある[1, 2]。本研究では、N₂処理前の酸化膜形成の際に、酸化プロセスを徹底的に排除し、極めて低い界面準位($D_{it} = 3 - 6 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ at $E_c - E_T = 0.2 \text{ eV}$)を達成したので報告する。

試料作製・評価手法： n型基板上のn型4H-SiC(0001)エピ層にMOSキャパシタを作製した。nエピ層の実効ドナー密度は $1 \times 10^{16} \text{ cm}^{-3}$ である。RCA洗浄後、熱酸化もしくは堆積によって、厚さ約25–30 nmの酸化膜を形成した。一部の試料に関しては、堆積前に水素ガスエッチング (1350°C, 15 min)を行った。熱処理として、NO処理を1250°C, 70 minもしくは、N₂処理を1400°C, 45 min行った。ゲート酸化膜の形成プロセスを図1に示す。電極としてAlを表面及び裏面に蒸着した。作製したMOSキャパシタの1 MHz および準静的C-V特性を測定し、High-Low法によって D_{it} エネルギー分布を抽出した。また、より広いエネルギー範囲で D_{it} を評価するため、室温に加えて200, 400 Kでも測定を行った。

結果および考察： 図2に、作製したMOSキャパシタのC-V特性から得られた D_{it} エネルギー分布を示している。参考のため、熱酸化のみの場合の D_{it} も同図に示している。熱酸化のみの場合と比較すると、NOもしくはN₂処理を施した場合には D_{it} は大幅に低減しているが、酸化膜形成条件の違いによる D_{it} 分布の顕著な差は観測されなかった。しかし、N₂処理の場合、酸化膜堆積前に水素ガスエッチングを行った試料では、エッチングを行わない場合と比較して、伝導帯端近傍($E_c - E_T = 0.2 \text{ eV}$)における D_{it} が大幅に低減(約1/10)しており、NO処理の場合と比較しても、約半分以下である。図3にはC-V測定の温度を変化させた場合の D_{it} エネルギー分布を示している。エネルギー有効範囲は界面準位の捕獲断面積を $10^{-15} - 10^{-17} \text{ cm}^2$ と仮定して算出した。浅いエネルギー準位($E_c - E_T = 0.15 \text{ eV}$)でも、 D_{it} は酸化膜堆積前の水素エッチングにより約1/10に低減できている。以上のことから、本研究で提案するSiCの酸化を徹底的に排除したプロセスにより、 E_c 近傍において従来の手法では実現不可能な低い界面準位($D_{it} = 3 - 6 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$)を実現した。

[1] A. Chanthaphan et al., *JJAP* **55** (2016) 1176. [2] S. Asaba et al., *Mater. Sci. Forum* **924** (2018) 457.

Process flow of oxide formation

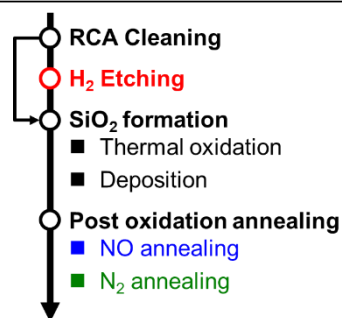


Fig.1 The process flow of oxide formation.

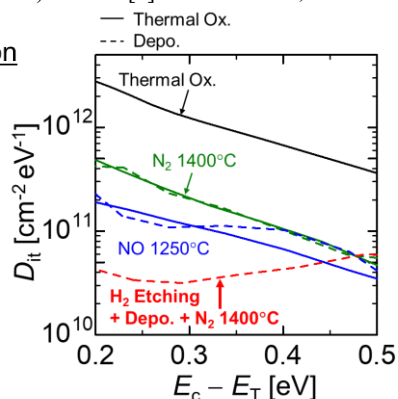


Fig.2 Energy distribution of D_{it} for fabricated MOS capacitors extracted by a high (1 MHz) –low method.

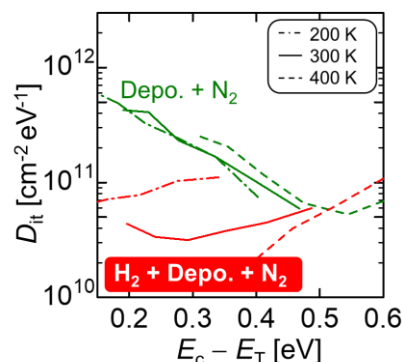


Fig.3 Energy distribution of D_{it} extracted from C-V characteristics measured at different temperatures (200, 300 and 400 K).