

PN-Body Tied SOI-FET で現れる低 V_{ds} での飽和現象の解析

Analysis of Saturation Effect at Low V_{ds} appearing in PN-Body Tied SOI-FET

金沢工大 ○伊藤 広喜, 井田 次郎, 森 貴之

Kanazawa Inst. of Tech., ○Hiroki Ito, Jiro Ida, Takayuki Mori

E-mail: ida@neptune.kanazawa-it.ac.jp

1.はじめに

我々は、新構造の PN-Body Tied (PNBT) SOI-FET によってスイッチング特性の良さを示す Subthreshold Slope(SS) が MOSFET の理論限界である 60mV/dec を大きく下回することを示した[1]。また、PNBT SOI-FET の構造差 (W_b の差) と Body 端子電圧により、ドレイン電流の増幅効果、及び、伝導モードの違い (Surface vs Bulk) を報告している[2-3]。今回、N-channel PNBT SOI FET (PNBT NMOS) の I_d - V_d 特性が、同じゲート長である通常構造の SOI-FET と比較して、低いドレイン電圧 (V_{ds}) で既に非常に良い飽和現象を示すことを見出した。本稿では、その実測結果を示す。

2.実測結果

図 1 に PNBT NMOS の概略図を示す。デバイス構造は、 $L_g=0.2\mu\text{m}$, $W_g=1.0\mu\text{m}$, $T_{ox}=4.4\text{nm}$, $T_{Si}=50\text{nm}$, $T_{Box}=200\text{nm}$ である。図 2 に通常構造の SOI-FET と $W_b=1.8\mu\text{m}$ と $W_b=0.8\mu\text{m}$ における PNBT NMOS の I_d - V_d 特性を示す。 $W_b=1.8\mu\text{m}$ と $W_b=0.8\mu\text{m}$ は、PNBT NMOS オン後の伝導が、前者は通常 MOS-FET と同様 Surface モードで、後者はチャネル部のシリコン層全体で流れる Bulk モードである[3]。PNBT NMOS の $W_b=1.8\mu\text{m}$ では、通常 MOS-FET と同様、 V_g を上げていくと徐々に飽和電流が増加しているが、 $W_b=0.8\mu\text{m}$ の場合、スティープ発生の電圧を超えた V_g の後で突然、 I_d の飽和特性が出る。図 3 に $V_g=1.0$ V での電流で正規化した I_d - V_d 特性を示す。通常構造の SOI-FET と比べ、PNBT NMOS では低い V_{ds} でドレイン電流が既に良く飽和することが分かる。また、PNBT NMOS では W_b が小さい方が、さらに、少し小さい V_{ds} で飽和となる。通常構造の SOI-FET の飽和現象には、短チャネル効果、速度飽和、さらに、フローティングボディ効果による影響がある。PNBT NMOS では、これらが現れにくいと想定している。

参考文献: [1] J. Ida et al., IEDM Tech. Dig., Washington, DC, USA, Dec. 2015, pp. 624–627. [2] T. Mori et al., IEEE SNW 2018. [3] 伊藤広喜 他：第 67 回応用物理学会春季学術講演会, 12p-A305-4, 2020.

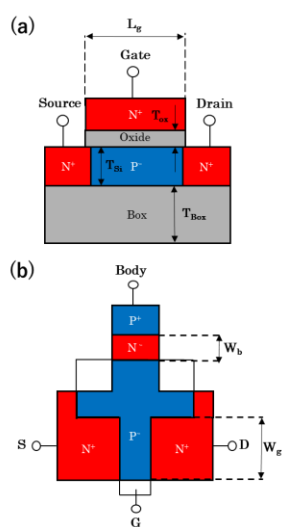


図 1 PNBT NMOS の概略図

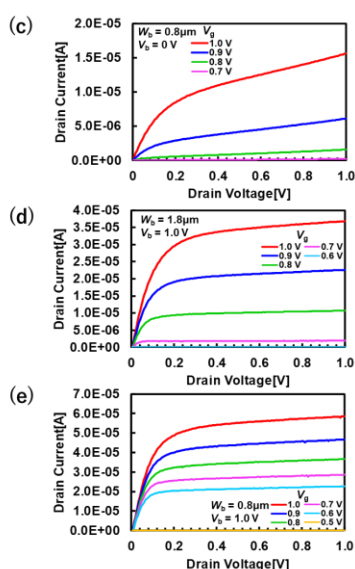


図 2 I_d - V_d 特性

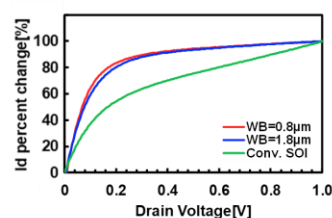


図 3 正規化した I_d - V_d 特性

(a)断面図 (b)上面図 (c)通常構造の SOI-FET (d) $W_b=1.8\mu\text{m}$ (e) $W_b=0.8\mu\text{m}$