

新型超低電圧リテンション SRAM マクロの設計と解析

Design and analysis of 8kB SRAM macro using a new ultralow-voltage-retention architecture

東工大未来研 °塩津勇作, 北形大樹, 山本修一郎, 菅原聡

°Y. Shiotsu, D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: y.shiotsu@isl.titech.ac.jp

【はじめに】我々は CMOS 技術のみで構成され、極めて微小な電圧(ULV)を用いてデータを保持できる超低電圧リテンション SRAM (ULVR-SRAM)を提案している[1]. ULVR-SRAM はシュミットトリガインバータをベースにしたデュアルモードインバータで構成され、そのフィードバック(FB)効果によって安定に超低電圧リテンション(ULVR)を実現できる。最近、我々はセル内のフィードバックトランジスタ(FBTr.)を pMOS で構成する新型セルを提案した(pFB 型)[2]. この新型セルは、FBTr.を nMOS で構成する従来の ULVR-SRAM セル(nFB 型)と比較して、ULVR における安定性(ノイズマージン)を大幅に向上でき、不揮発性 SRAM(NV-SRAM)セル[3]に匹敵するリーク電力の削減率を実現できる。さらに、この pFB 型セルではパワーゲーティング(PG)の性能の評価指標である Break-even time (BET) [3]を NV-SRAM セルの 1/100 程度まで削減できる。これまで、我々は pFB 型 ULVR-SRAM セルの設計とセルレベルの回路性能を検証してきた[2]. 本報告では pFB 型 ULVR-SRAM の 8kB マクロの設計と、その性能について報告する。

【回路構成】図 1 に新型 ULVR-SRAM セルの回路構成を示す。仮想電源電圧(V_{DD})は 2 種類の電源電圧($V_{DDH}=1.2V$, $V_{DDL}=0.2V$)からヘッダパワースイッチ(PS1, PS2)を用いて生成し、 V_{DDH} , V_{DDL} のいずれかがセルに供給される。通常の SRAM 動作には V_{DDH} , ULVR には V_{DDL} を用いる。FBTr.に一定のバイアス($V_{FB}=0.2V$)を加えることで、セルは V_{DD} の変化に応じて、通常の SRAM 動作と ULVR 動作のモード切替を自動的に行うことができる。図 2 にレイアウトした ULVR-SRAM の 8kB マクロを示す。入出力は 64bit とした。セルアレイは 128bit × 128bit からなるサブアレイから構成され、周辺回路(デコーダ、センスアンプ、ライトドライバ、プリチャージ)をサブアレイの周辺に配置した。ワードデコーダは図の左右のサブアレイで共有し、センスアンプとライトドライバは図の上下のブロックで共有した。PS は各ブロックの横端に配置し、サブアレイ内の仮想電源線(V_{DD} 線)をカラム方向(縦)に引いて 1 つの PS を 1 カラムで共有した。リファレンスの SRAM (6T)マクロの設計には報告値を用いた[4]. 周辺回路は 500MHz 程度の動作周波数で動作するように設計し、周辺回路の PS は動作速度が劣化しないように設計した。セルおよび周辺回路の設計は HSPICE で行い、デバイスには 65nm CMOS プロセスの LP モデルを用いた。

【解析結果】設計した ULVR-SRAM マクロから寄生抵抗・容量を抽出して、高速 SPICE (CustomSim)による大規模シミュレーションから動作・性能を評価した。セルのスタティックノイズマージン(SNM)は通常電圧下でワーストケースとなる Read においてすべてのプロセスコーナーで ~90mV, また、ULVR でも 80mV を超える SNM を実現できた。動作周波数 500MHz における動作検証では Read, Write とともに正常動作を確認した。ULVR では ULVR 後にデータを失うことなく正常に元の状態に復元できることを確認した。また、マクロのリーク電力の解析を行ったところ、6T セルのスタンバイ電力に対するリーク電流削減率は 95%であった。BET は 1.5 μ s となり、NV-SRAM の 1/100 程度と大幅に削減できた。これらの結果はセルレベルの解析結果とよく一致した。pFB 型 ULVR-SRAM は高いエネルギー削減効率に PG に応用可能である。

【謝辞】シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである。

【参考文献】[1] D. Kitagata *et al.*, IEEE S3S Conf. 2018, 13.5. [2] 吉田他, 第 67 回応用物理学会春季学術講演会, 2020, 12p-A305-9. [3] D. Kitagata *et al.*, Jpn. J. Appl. Phys. **58**, 2019, SBBB12. [4] S. Rusu *et al.*, IEEE ISSCC 2006, pp. 315–324.

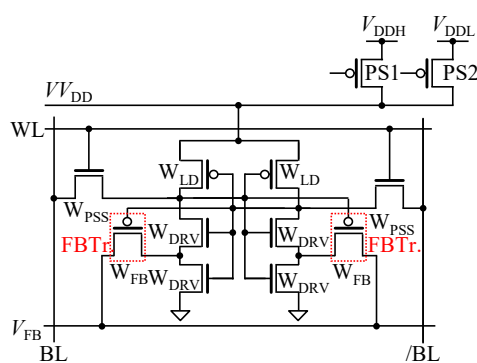


図 1 pFB 型 ULVR-SRAM セルの構成

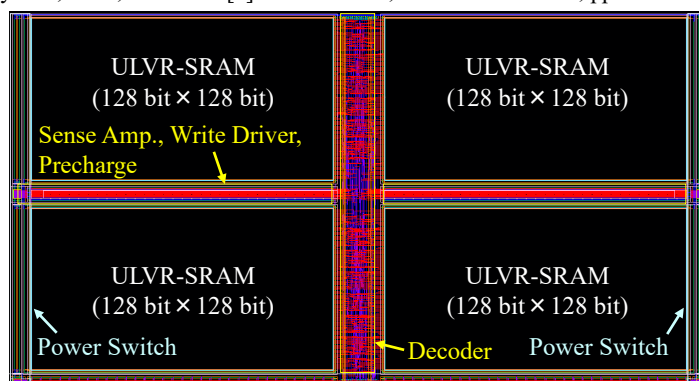


図 2 pFB 型 ULVR-SRAM の 8kB マクロ