

3次元実装構造を持つ X線検出器のアレイ化に向けた 超伝導バンプアレイの電氣的評価

Electrical evaluation of superconducting bump array

埼玉大院¹, 産総研² ○(M2)三友 歩¹, 仲川 博², 青柳 昌宏², 菊地 克弥²,

明連 広昭¹, 成瀬 雅人¹, 田井野 徹¹

Graduate school of Saitama Univ.¹, AIST²

○A. Mitomo¹, H. Nakagawa², M. Aoyagi², K. Kikuchi², H. Myoren¹, M. Naruse¹, T. Taino¹

E-mail : a.mitomo.205@ms.saitama-u.ac.jp

1. まえがき

我々は高エネルギー分解能を有する超伝導トンネル接合(STJ)を用いたX線検出器において、STJと配線を分離して検出面積拡大を図る手法として、STJ検出チップと配線基板を3次元実装する埋め込み型STJ(e-STJ)を提案している^[1]。

本研究では、STJの高温における特性劣化を防ぐため、低温(100°C)、かつ大気中での超伝導接続が可能なPb-In合金熱圧着法を用いて、超伝導バンプアレイチップと配線基板のフリップチップ接続(FCB)を行い、極低温環境(4.2K)における電気評価を行った。

2. 超伝導バンプアレイの作製

図1に、FCBを行うためのチップ(図中のChip)と配線基板(図中のSubstrate)の構造を示す。チップの作製では、熱酸化されたSi基板上に超伝導配線としてNbを200nmスパッタし、配線とバンプの接着層としてTiを10nm、Auを30nm連続で蒸着した。さらに、その上に超伝導バンプとしてPbとInの質量比が9:1^[3]、高さの合計が6μm、直径が10μmとなるように連続で蒸着した。配線基板は、チップと同様の手順で作製した。

FCBの条件は、温度:100°C、荷重:100N、時間20分とした。

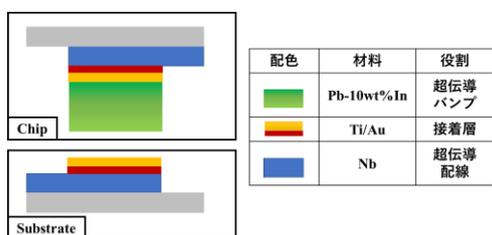
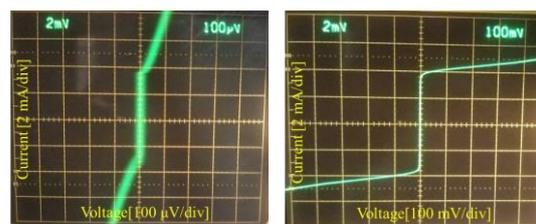


Fig.1 Cross-sectional view of the sample

3. 単一バンプとバンプアレイのI-V特性

FCBしたサンプルの4.2Kの極低温環境下におけるI-V特性を測定した。図2(a)に単一バンプ、図2(b)に14400個のバンプアレイのI-V特性を示す。同図より、単一バンプの臨界電流値は

3.6mA、常伝導抵抗は約20mΩ、バンプアレイの臨界電流値は3.6mA、常伝導抵抗は約300Ωであった。単一バンプとバンプアレイで臨界電流値が変わらない点とバンプアレイの常伝導抵抗値が単一バンプの常伝導抵抗値の14400倍に近い値を示す点から、FCB後のバンプ形状の均一性が高いことを示している。



(a) Single bump I-V (b) Array bump I-V
Fig.2 I-V characteristics of single and array bump

4. まとめ

Pb-In合金バンプ(10μmφ)を用いて、チップ上に14400個のアレイを作製し、配線基板に大気中、100°Cの熱圧着フリップチップ接続を行った。4.2Kで全てのバンプの超伝導接続を検証した。

謝辞

本研究のチップ作製において御助言頂いた、橋野健氏(産総研 デバイス技術研究部門 3D集積グループ)に感謝致します。また、極低温測定環境を提供して下さった大谷知行博士(理研 THzイメージング研究チーム)に御礼申し上げます。また、本研究の一部は、文部科学省「ナノテクノロジープラットフォーム」事業の支援を受けて、産業技術総合研究所ナノプロセッシング施設において実施されました。

参考文献

- [1] 石塚他、第74回応用物理学会学術講演会、17p-C10-20(2013).
- [2] 青柳他、第13回エレクトロニクス実装学術講演会、18B-12(2002).
- [3] 林他、第80回応用物理学会学術講演会、19p-C207-9(2019).