

自己整合プロセスにより作製した カーボンナノチューブ薄膜トランジスタの動作速度評価

Evaluation of operation speed of carbon nanotube thin film transistors fabricated by self-aligned process

名大工¹, 産総研², 名大未来研³ °石丸 紗椰¹, 鹿嶋 大雅¹, 片浦 弘道², 大野 雄高^{1,3}

Dept. of Electronics, Nagoya Univ.¹, AIST², IMASS, Nagoya Univ.³

°Saya Ishimaru¹, Taiga Kashima¹, Hiromichi Kataura², and Yutaka Ohno^{1,3}

E-mail: yohno@nagoya-u.jp

【まえがき】カーボンナノチューブ薄膜トランジスタ(CNT TFT)は高い移動度や機械的柔軟性を備えており、フレキシブルエレクトロニクスへの応用が期待されている。柔軟なプラスチックフィルム上に素子を作製する場合、プロセス中に基板が伸縮するため、リソグラフィにおけるレイヤ間の合わせ余裕を十分に確保する必要がある。その結果、電極間のオーバーラップによる寄生容量が生じ、素子遅延の原因となっていた。以前、我々はプラスチックフィルム上 CNT TFT の自己整合プロセスを提案し、寄生容量の低減を確認したことを報告している。[1] 今回は、S パラメータの測定により自己整合型 CNT TFT の動作速度の評価を行った結果について報告する。

【実験】PEN 基板上にボトムゲート型 CNT TFT を自己整合プロセスにより作製した(Fig.1 参照)。ALD 法によりゲート絶縁膜 (Al_2O_3 , 45 nm)を成膜した。チャネルにはゲルクロマトグラフィーにより分離された半導体 CNT を用いた。チャネル長は 20~50 μm , チャネル幅は 12 mm である。比較のため、従来プロセス(合わせ余裕 20 μm)による素子も作製した。S パラメータはベクトルネットワークアナライザ(Keysight, E5061B)を用いて測定した。

【結果】電極のオーバーラップに起因するオフ領域のゲート容量を測定したところ、従来プロセスの場合は 334 pF であったのに対し、自己整合プロセスの場合は 35.8 pF まで低減した。Fig. 2 は S パラメータから導出した電流利得遮断周波数(f_T)のチャネル長(L_{ch})依存性である。 V_{DS} は-5 V, V_{GS} は-3 V である。自己整合プロセスの導入による f_T の大幅な向上が確認できる。

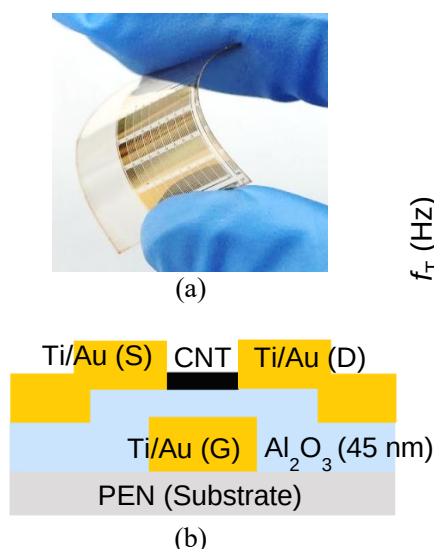


Fig. 1 (a) Schematic of device. (b) Device structure.

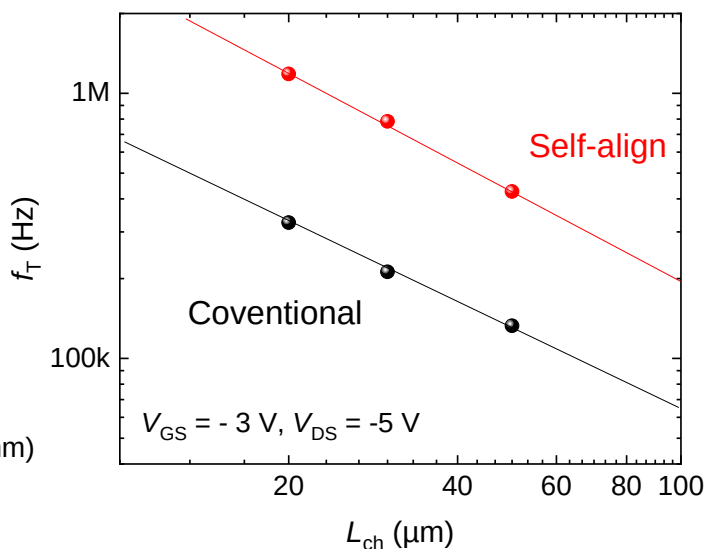


Fig. 2 f_T versus L_{ch} .

[1] T. Kashima *et al.*, The 79th JSAP Autumn meeting, 18p-211A-7