

浮遊ゲート電位の測定による 2D メモリデバイスの Memory window 過大評価の理解

Understanding the memory window overestimation of 2D memory devices by measuring floating gate voltage
東大¹, 埼玉大², NIMS³ ○佐々木 太郎¹, 上野 啓司², 谷口 尚³, 渡邊 賢司³, 西村 知紀¹, 長沙 晃輔¹

OT. Sasaki¹, K. Ueno², T. Taniguchi³, K. Watanabe³, T. Nishimura¹ and K. Nagashio¹

E-mail: sasaki@ncd.t.u-tokyo.ac.jp

【緒言】 既存の Si 系 Flash メモリに比べ、高い信頼性が期待される二次元理想界面を用いた不揮発性メモリデバイスの研究が盛んである。性能指標のうち、特に Program 状態と Erase 状態の2つのしきい値電圧 (V_{th}) の差で定義される Memory window (MW) は、多値化や誤読み出し (Read failure) の抑制という観点から重要である。しかし、その評価方法は研究コミュニティにおいて大きく異なる。2D メモリの多くの先行研究ではヒステリシス測定と同様、双方向掃引時の I_d - V_G 特性から評価される^[1]。一方 Si 系 Flash メモリでは、高電圧パルスによる Program / Erase (P/E) 動作後、P/E 動作が起きない電圧範囲でそれぞれの V_{th} を測定し、評価される^[2]。これまで、それぞれの評価法による MW の違いや、どちらを用いるべきかということは全く議論されておらず、既存のメモリ技術との間にギャップがあった。本研究では、評価法による MW の違いを抽出し、その理由を双方向掃引時の浮遊ゲート電位 (V_{FG}) を通して理解することを目的とした。

【実験方法】 90 nm SiO_2/n^+ -Si 基板上に、PDMS を用いた乾式転写法により MoTe_2 (チャネル) / h -BN (トンネルバリア) / Graphite (浮遊ゲート: FG) 積層構造を作成し、その後 Ni/Au 金属電極を形成した。積層の際、二次元積層構造内でのみトンネルが起こるよう、アクセス領域 (Graphite とオーバーラップしていないチャネル領域) を設計した。

【結果及び考察】 双方向掃引で測定した I_d - V_{BG} 特性と、P/E 動作後に測定した I_d - V_{BG} 特性を Fig. 1 に示す。Program (Erase) は、+30 V (-30 V) を 10 秒間 BG に印加することで行った。これより、 I_d - V_{BG} 双方向掃引から見積もられる MW は、P/E 動作後のそれぞれの V_{th} から見積もられるものに比べて明らかに大きいことが分かる。この理由を考察するため、双方向掃引時の V_{FG} に着目した。 I_d - V_{BG} 双方向掃引と同時に測定した V_{FG} を Fig. 2 (a) に示す。 V_{FG} の増加と減少 (矢印 1 及び 3) はバックゲート (BG) との容量結合によるものであり、 V_{FG} の飽和 (矢印 2 及び 4) はチャネル-FG 間で FN トンネルが起きていることを示している^[3]。ここで、電荷保持層である FG はローカルな BG として考えることもできる (Fig. 2(b))。アクセス領域の電気伝導度 (σ_{access}) は BG によって変調され、FG 上の電気伝導度 (σ_{FG}) は FG によって変調される。また、FG は BG よりもチャネルに近く、制御性に優れる。結果、S/D 間の電気伝導度は σ_{access} と σ_{FG} の小さいほうで決定される (BG controlled と FG controlled)。従って、Fig. 2 (a) に示す I_d - V_{BG} 特性は、 V_{BG} が -30 V から掃引される場合、容量結合により V_{BG} と V_{FG} が同時に掃引されるため BG controlled の緩やかな I_d 変化となる。 V_{BG} は正に掃引され続けるが、チャネル-FG 間のトンネルにより V_{FG} が固定されるため、負方向掃引に切り替わった場合、 V_{FG} による制御が優勢となり I_d の立ち下がりが急峻な FG controlled となる。不揮発性メモリでの V_{th} 決定の本質は、電源 OFF 時 ($V_{BG} = 0$ V) の FG 内蓄積電荷である。しかし、双方向掃引では、正/負方向の掃引開始電圧 ($V_{BG} = -30/+30$ V) からの容量結合による V_{FG} の振る舞いにより、FG 内の蓄積電荷とは無関係に V_{th} が決定されてしまう。

以上より、双方向掃引により評価された MW は過大評価であることが分かった。従って、2D メモリの書き換え耐性などを正確に議論するためには、P/E 動作後の V_{th} を評価すべきと言える。

【参考文献】 [1] S. Bertolazzi *et al.*, *ACS nano*, 7, 3246 (2013). [2] Y. Liu *et al.*, *Jpn. J. Appl. Phys.*, 53, 04ED16 (2014). [3] T. Sasaki *et al.*, 67th JSAP Spring Meeting, 12p-A404-4 (2020). **【謝辞】** 本研究の一部はキオクシア株式会社により助成を受けた。

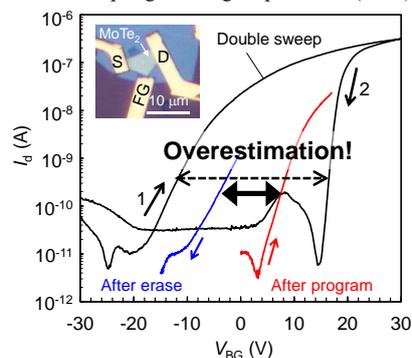


Fig. 1 Overestimated window (dotted line) and actual window (solid line).

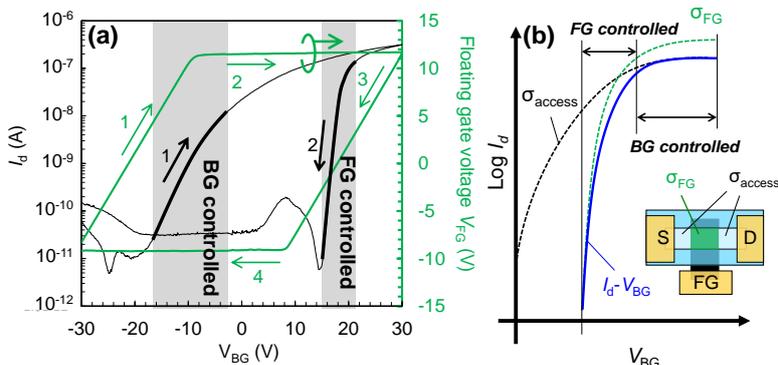


Fig. 2 (a) Floating gate voltage (V_{FG}) over I_d - V_{BG} double sweep curve. (b) Schematic of FG controlled region and BG controlled region.