

## 浮遊ゲート電位 ( $V_{FG}$ ) のトラジェクトリを用いた 2D メモリデバイスの動作理解

$V_{FG}$  trajectory based understanding of 2D memory device operation

東大<sup>1</sup>, 埼玉大<sup>2</sup>, NIMS<sup>3</sup> ○佐々木 太郎<sup>1</sup>, 上野 啓司<sup>2</sup>, 谷口 尚<sup>3</sup>, 渡邊 賢司<sup>3</sup>, 西村 知紀<sup>1</sup>, 長汐 晃輔<sup>1</sup>

OT. Sasaki<sup>1</sup>, K. Ueno<sup>2</sup>, T. Taniguchi<sup>3</sup>, K. Watanabe<sup>3</sup>, T. Nishimura<sup>1</sup> and K. Nagashio<sup>1</sup>

E-mail: sasaki@ncd.t.u-tokyo.ac.jp

【緒言】二次元積層構造を用いた浮遊ゲート (FG) タイプの不揮発性メモリデバイスは、従来の Si 系 Flash メモリと比較してチャンネル材料の選択肢が豊富である。そのため、様々な二次元積層構造によるメモリデバイスが提案されてきた<sup>[1,2]</sup>。しかしながら、従来の  $I_d$ - $V_{BG}$  測定だけではチャンネル材料によるメモリ動作の違いが分からず、2D メモリの材料設計が困難な状況にある。加えて、2D メモリのベンチマーク結果とその物理機構を議論するためにも動作理解が必須である。従って、本研究では浮遊ゲート電位 ( $V_{FG}$ ) のトラジェクトリに着目することで、チャンネル材料によるデバイス動作の違いを抽出することを目的とした。 $V_{FG}$  はチャンネル-FG 間のトンネルを決定づける量であり、デバイス動作に関する新たな知見が得られると期待できる。

【実験方法】90 nm  $\text{SiO}_2/n^+$ -Si 基板上に、PDMS を用いた乾式転写法により二次元積層構造を作成した。FG には Graphite、トンネルバリアには  $h$ -BN をそれぞれ用い、 $\text{WSe}_2$  チャンネルと  $\text{MoTe}_2$  チャンネルの 2 種類のデバイスを作成した。金属電極には Ni/Au を用いた。また、トンネルがチャンネル-FG 間でのみ起こるようにするため、どちらのデバイスもアクセス領域を設計している。

【結果及び考察】 $\text{MoTe}_2$  デバイスと  $\text{WSe}_2$  デバイスにおける  $V_{FG}$  トラジェクトリの測定結果を Fig. 1(a), (b) にそれぞれ示す。これより、 $\text{MoTe}_2$  と  $\text{WSe}_2$  の  $V_{FG}$  トラジェクトリは大きく異なっていることが分かる。 $V_{FG}$  は、チャンネル-FG 間でトンネルが起きていないときにはバックゲート (BG) との容量結合により増減し、トンネル可能な電圧に達すると飽和する<sup>[3]</sup>。従って、 $\text{MoTe}_2$  デバイスではチャンネルの極性によらず、 $V_{FG}$  がトンネル開始電圧に到達した時点でトンネルが始まるが、 $\text{WSe}_2$  デバイスでは、 $V_{FG}$  がトンネル開始電圧を超え、かつチャンネルとアクセス領域の極性がそろった場合のみトンネルが起こることが分かる。これは、チャンネル材料のバンドギャップ ( $E_g$ ) の違いに起因すると考えられる。 $\text{MoTe}_2$  と  $\text{WSe}_2$  のバルク  $E_g$  はそれぞれ、約 0.6 eV, 0.8 eV である<sup>[4]</sup>。FG をローカルな BG と考えた時、 $V_{BG}$  と  $V_{FG}$  の組み合わせによっては Fig. 2 の「path 2」の部分に  $pn$  接合が形成される。このとき、バルク  $E_g$  の小さい  $\text{MoTe}_2$  では生成キャリアによりトンネル電流を流すことができるが、 $\text{WSe}_2$  では生成キャリアの量が十分でないため、トンネル電流を流すことができないと考えられる。これは、低温 ( $\sim 200$  K) における  $\text{MoTe}_2$  デバイスの  $V_{FG}$  トラジェクトリが、室温における  $\text{WSe}_2$  のものに近づいていくという実験結果からも支持される。即ち、 $\text{WSe}_2$  と  $\text{MoTe}_2$  との違いは Fig. 2 に示す「path 2」の条件の違いに起因すると考えられる。

以上より、 $V_{FG}$  のトラジェクトリを測定・解析することで、 $I_d$ - $V_{BG}$  特性だけでは分からなかった、チャンネル材料によるデバイス動作の違いを抽出できることが分かった。本手法は他の 2D メモリにも容易に適用可能であり、2D メモリの材料設計指針構築を飛躍的に加速するものと期待される。

【参考文献】 [1] D. Qiu *et al.*, *Nano Res.*, **9**, 2319 (2016). [2] M. S. Choi *et al.*, *Nat. Commun.*, **4**, 1624 (2013). [3] T. Sasaki *et al.*, 67<sup>th</sup> JSAP Spring Meeting, 12p-A404-4 (2020). [4] J. Kang *et al.*, *Appl. Phys. Lett.*, **102**, 012111 (2013). 【謝辞】本研究の一部はキオクシア株式会社 (旧社名 東芝メモリ株式会社) により助成を受けた。

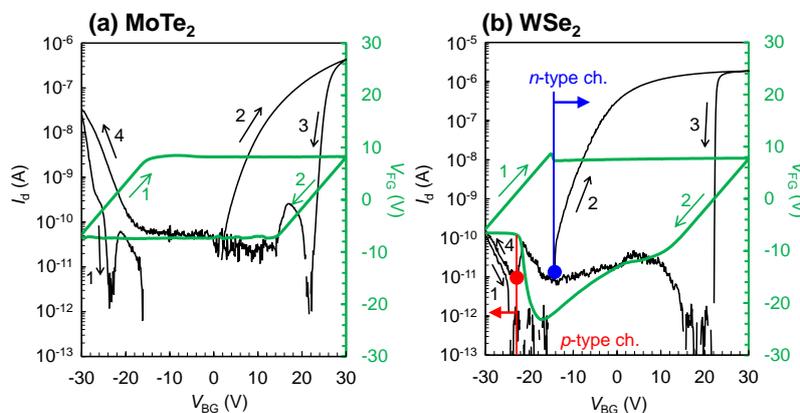


Fig. 1 Measured  $V_{FG}$  trajectory of (a)  $\text{MoTe}_2$  channel device and (b)  $\text{WSe}_2$  channel device over  $I_d$ - $V_{BG}$  curve.

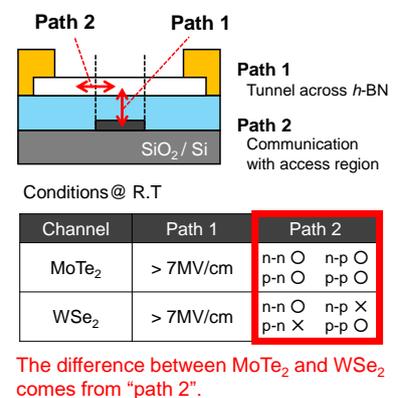


Fig. 2 Tunneling conditions of  $\text{MoTe}_2$  and  $\text{WSe}_2$  channel device.