

完全 2 次元ヘテロ TFET による室温での 60mV/dec 以下の SS 実現

The demonstration of SS below 60 mV/dec at RT in all 2D heterostructure TFET

東大¹, NIMS², 埼玉大³, 中村圭吾¹, 永村直佳², 上野啓司³, 谷口尚², 渡邊賢司², 〇長汐晃輔¹

K. Nakamura¹, N. Nagamura², K. Ueno³, T. Taniguchi², K. Watanabe², & 〇K. Nagashio¹

E-mail: nagashio@ncd.t.u-tokyo.ac.jp

IoT デバイスの数は数年後には~400 億個に達すると指摘されており, MOSFET の室温理論限界値であるサブスレッショルドスイング $SS = 60 \text{ mV/dec}$ 以下で動作する超低消費電力デバイスとしてトンネル FET の実現が期待される. pn 接合の逆バイアスにおいてキャリアの Boltzmann tail をカットできるバンド間トンネル(BTBT)を利用するが, 従来の半導体ヘテロ接合では, 低温での BTBT は確認できるが, 室温では界面欠陥による生成・消滅電流が支配的となり SS の低減が非常に困難である. ここで, “理想的には” ダングリングボンドの無い面内結合かつ vdW 界面のため格子不整合とは無関係な積層が可能 2 次元層状ヘテロ構造は, トンネル距離を劇的に低減できることから SS 低減と on 電流増加を両立する TFET に最適な材料系と期待される. しかしながら, 多くの 2D-TFET の研究報告があるが 60 mV/dec 以下の SS は殆ど報告されていないのが現状である. 本研究では, Al_2O_3 と $h\text{-BN}$ の両トップゲート(TG)を比較することで, 逆バイアス電流の温度依存性を詳細に探ることで, 2D TFET の実現性を議論したい.

機械的剥離法, PDMS 積層, 及び EB リソを駆使し, ALD- Al_2O_3 及び $h\text{-BN}$ を TG とした $n\text{-MoS}_2/p^+\text{-MoS}_2/h\text{-BN}$ ヘテロ TFET を作製した. Fig. 1 に V_{TG} を印加しバンドアライメントを type III にした状態における p^+n 接合の逆バイアス電流の温度依存性を示す. Al_2O_3 を TG として堆積した場合には, 低温では温度依存性の無い BTBT 電流が観測されるが, 高温域で温度依存性を伴う生成・消滅電流が支配的になることがわかる. 一方, $h\text{-BN}$ を TG とした場合, 低温から室温まで BTBT 電流が観測される. これまでの 2D チャンネル上への high- k TG 研究から, 原子層厚さゆえ, 2D チャンネル上部の界面だけでなく下部の界面も同時に界面準位が増加する結果を得ており, Al_2O_3 堆積により p^+n 接合界面が劣化したものと考えられる. 一方, $h\text{-BN}$ では, 期待される vdW 界面が維持できたと言える.

Fig. 2 に室温での I_D - V_{TG} 特性と SS - I_D 特性を示す. 完全 2 次元ヘテロ TFET 化により, 室温で $1 \mu\text{A}$ 程度の大きな BTBT 電流かつ, 最小で 51 mV/dec と 60 mV/dec 以下の SS を得た. 単層より 3 層で SS が小さい理由は, E_G が小さいほどトンネル確率が向上するためである. ただし, リーク電流存在時において SS は見かけ上小さくなるため, 本研究では, 精緻なリーク電流計測から測定限界に到達していること, I_S と I_D が常に一致していることを確認している. 以上より, 完全 2D-TFET により vdW 界面の特徴であるダングリングボンドの無い理想的な p^+n 接合界面特性を引き出すことが可能であり, 更なる界面清浄化により SS 低減が期待できる.

謝辞: 本研究は科研費及び JSPS 「研究拠点形成事業 (A.先端拠点形成型)」により助成を受け行われた.

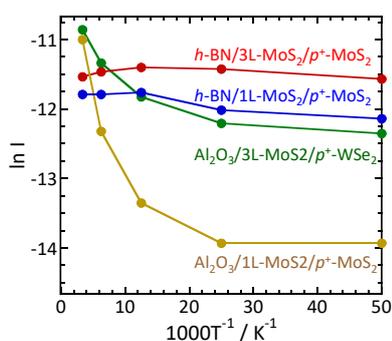


Fig. 1 $p^+\text{-MoS}_2/n\text{-MoS}_2$ ダイオードの逆バイアス電流の温度依存性.

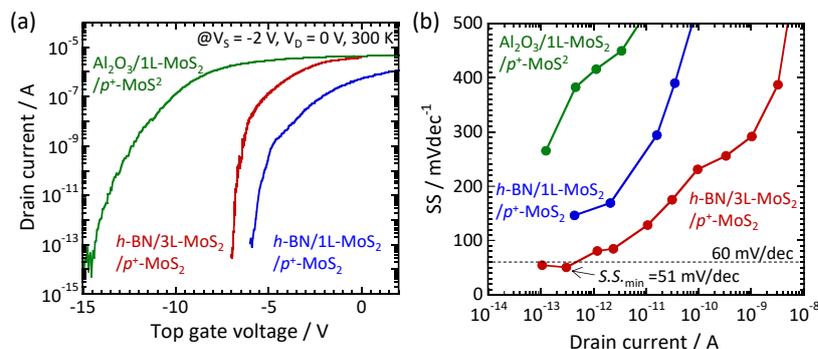


Fig. 2 (a) I_D - V_{TG} 特性. (b) SS - I_D 特性.