トグル・ストレージ・ループを有する単一磁束量子 NOT ゲートのバイアスマージン改善と多入力否定論理ゲートへの拡張

Applications of a Redesigned RSFQ NOT Gate to Multi-Input Negative Logic Gates

電通大院　情報理工　　山崎 洸生，島田 宏，○水柿 義直

The Univ. of Electro-Comm. (UEC Tokyo),　K. Yamazaki, H. Shimada, and °Y. Mizugaki

E-mail: y.mizugaki@uec.ac.jp

1．はじめに　我々は単一磁束量子論理回路の設計にセルライブラリ CONNECT [1] を使用している。これまで, 面積が比較的大きい NOT ゲート（80 μm×80 μm）について，面積を 1/4（40 μm×40 μm）に縮小する構造（Fig. 1(a)）を提案し，実験により動作を確認した [2]。ただし, そのバイアスマージンには改善の余地があった。本報告では，NOT ゲートの再設計，および複数の入力を有する否定論理ゲートへ拡張した結果について述べる。

2．NOT ゲートの再設計　再設計した NOT ゲートの等価回路を Fig. 1(b)に示す。接合 J_7 を追加することでバイアスマージンが±20%から±31%に拡大した。構成素子数増加により，セル面積は 80 μm×40 μm となった。

3．多入力否定論理ゲートへの拡張　NOT ゲートの入力部にコンフルエンス･バッファを接続することで，2 入力 NOR ゲートとなる。セルサイズは 80 μm×80 μm となった。

4．実験　Nb 集積回路を用いて NOT および NOR ゲートの動作を低速（クロック周波数 1 kHz 程度）で測定し，正常動作を確認した。NOR ゲートの動作波形を Fig. 2 に示す。

参考文献　[1] S. Yorozu, et al., Physica C, 378-381 (2002) 1471. [2] 山崎他，第 80 回応物秋季学術講演会（2019）20p-C213-10

謝辞　本研究に使用された回路は, 産業技術総合研究所の CRAVITY において STP2 プロセスを用いて作製された。本研究の一部は JSPS 科研費 17K04979・20H02201 の助成と，東京大学 VDEC を通した日本ケイデンス株式会社の協力で行われた。

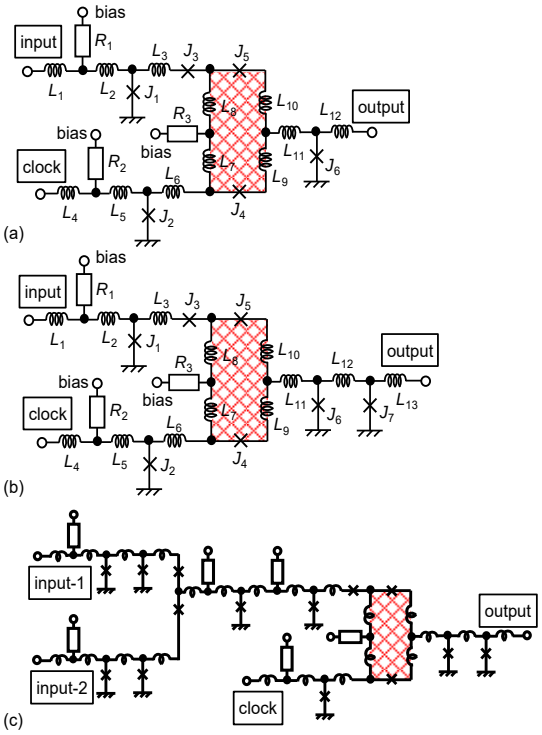

Fig. 1: Equivalent circuits. Toggle storage loops are indicated by hatched areas. (a) Previous 6-junction NOT gate. (b) Redesigned NOT gate comprising 7 junctions. (c) 2-input NOR gate based on a 7-junction NOT gate.

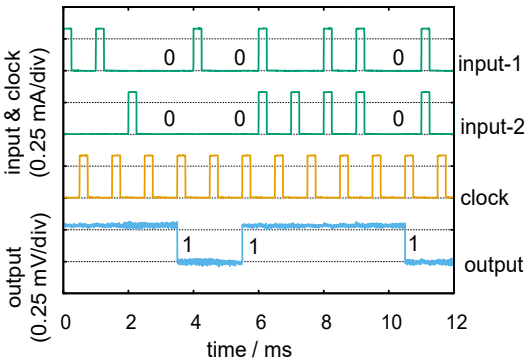

Fig. 2 Experimental operation waveforms for a 2-input NOR gate.