

トレンチゲート構造による縦型 2DHG ダイヤモンド MOSFET の 大電流密度($\sim 20 \text{ kA/cm}^2$)、低オン抵抗化($2.5 \text{ m}\Omega\cdot\text{cm}^2$)の達成 Achievement of High Current Density ($\sim 20 \text{ kA/cm}^2$) and Low On-Resistance ($2.5 \text{ m}\Omega\cdot\text{cm}^2$) in Vertical-Type 2DHG Diamond MOSFET by Trench Gate Structure

早大理工¹, 早大材研²
○(B)太田康介¹, 角田 隼¹, 岩瀧 雅幸¹, 堀川 清貴¹, 天野 勝太郎¹, 新倉 直弥¹
平岩 篤¹, 川原田 洋^{1,2}

Waseda Univ.¹, Kagami Memorial Research Inst. for Materials Science and Tech.²

○Kosuke Ota¹, Jun Tsunoda¹, Masayuki Iwataki¹, Kiyotaka Horikawa¹, Syotaro Amano¹, Naoya Niikura¹, Atsushi Hiraiwa¹, Hiroshi Kawarada^{1,2}

E-mail: ok0723@suou.waseda.jp

p 型パワーデバイスの開発は n 型パワーデバイスとの相補型インバータ実現のため、ひいては、パワーエレクトロニクスの発展に重要である。近年、ワイドバンドギャップ半導体(SiC, GaN, etc.)を用いた高耐圧・低損失な縦型 n-FET^{[1],[2]}の開発が進み、汎用インバータ等の幅広い応用^{[3],[4]}が進んでいる。しかし SiC や GaN の p 型パワーFET の報告^[5]は少なく、n 型パワーFET の性能の 1/10 以下である。小型かつ高速な高出力相補型インバータの実現には n 型に対応する集積化に適した微細トレンチ構造を持つ p 型パワーFET の開発が急務である。我々は C-H 終端構造及び高温 ALD- Al_2O_3 により面方位に依存せず誘起される 2 次元正孔ガス(2DHG)を用いた縦型 2DHG ダイヤモンド MOSFET^{[6],[7]}を報告し、高いドレイン電流密度($> 700 \text{ mA/mm}$)と優れた on/off 比($\sim 10^8$)を実現してきた。本研究では、ゲート電極をトレンチ内部に埋め込んだトレンチゲート構造の導入およびトレンチ幅の縮小($2 \mu\text{m}$)によるデバイスの微細化、そして 2DHG 誘起のためのアンドープトレンチエピタキシャル成長層の膜厚増加により、ダイヤモンドで最大となる 20 kA/cm^2 を超える高いオン電流と最小となる $2 \text{ m}\Omega\cdot\text{cm}^2$ 台の低いオン抵抗を達成したので報告する。

Fig.1 に作製した縦型デバイスの断面図を示す。(001) p⁺ダイヤモンド基板($2 \times 10^{-2} \Omega\text{cm}$)上に MPCVD 法を用いて縦方向のリーク電流抑制のためのアンドープ層及び窒素ドーパ層($3 \sim 8 \times 10^{18} \text{ cm}^{-3}$)を計 $2.5 \mu\text{m}$ 成膜し、反応性イオンエッチングにて幅(W_T) $2 \mu\text{m}$ 、深さ $4 \mu\text{m}$ のトレンチを形成した。その後、2DHG 誘起のための高純度トレンチエピタキシャル層 500 nm を成長させ、高温 ALD 法により Al_2O_3 を 200 nm 堆積、その後、ゲート電極(Al: 300 nm)をトレンチ内部に埋め込むよう堆積した。その際、ゲート電極はアルミナを介してソース電極に一部オーバーラップする構造となっている。本デバイスのソース・ソース間(L_{SS})は $4 \mu\text{m}$ 、ゲート幅(W_T)は $25 \mu\text{m}$ であり、アクティブ領域は L_{SS} と W_T の積で定義した。続いて、デバイスのアクティブ領域及びゲート幅で規格化した I_{DS} - V_{DS} 特性(Fig.2)を示す。Fig.2 では $V_{DS} = -50 \text{ V}$ にてダイヤモンド FET では最大のドレイン電流密度 20200 A/cm^2 ($@V_{GS} = -20 \text{ V}$)が得られ、オン抵抗は $2.5 \text{ m}\Omega\cdot\text{cm}^2$ とダイヤモンド FET の中で最小である。この電流密度の向上、オン抵抗の低下にはゲートをトレンチ内部に埋め込むことでソース・ソース間距離が縮まり、従来の構造よりアクティブ領域を大幅に縮小したことが寄与していると考えられる。Fig.3 に ATLAS デバイスシミュレーションにて解析した、トレンチ底のエピタキシャル成長層のホール濃度と V_{DS} の関係性を示す。

Fig.3 より $V_{DS} = -3 \text{ V}$ 以下の低電圧領域にて 500 nm の再エピタキシャル成長層内のホール濃度が低下していくことが確認できる。この結果は、 V_{DS} 低電圧領域でのドレイン電流の立ち上がりの悪さ起因していると考えられ、低電圧領域にてトレンチ底のエピタキシャル成長層内にキャリアが少なかったため、p⁺層へ電流が貫通する際のキャリアパスが不十分となり高抵抗化したと考えられる。そのため、エピタキシャル成長層にホウ素を低濃度ドーパした p 層を利用することで貫通抵抗が低減することが期待される。以上の結果より、(001)縦型ダイヤモンド FET においてトレンチゲート構造によるデバイスの微細化及び特性の向上を確認した。今後、更なるトレンチ幅の微細化やエピタキシャル成長層の不純物制御の最適化によりオン抵抗は一桁減少すると考えられ、n 型 SiC・GaN デバイスとの相補型インバータに向けた p 型高出力 MOSFET としての応用が示唆される。

【謝辞】本研究は、学際・国際的高度人材育成ライフサイエンス・ナノテクノロジー創製共同研究プロジェクト(文科省)及び文部科学省ナノテクノロジープラットフォーム事業(NIMS 微細加工プラットフォーム)の支援を得た。

- [1] T. Oka, et al., ISPSD, IEEE, p. 303-306, (2019)
- [2] Y. Saitoh, Y. Mikamura et al., Japanese Journal of Applied Physics 55 04ER05 (2016)
- [3] K. Hamada, et al., Japanese Journal of Applied Physics, 54.4S: 04DP07 (2015)
- [4] T. Kachi, Japanese Journal of Applied Physics, 53.10: 100210 (2014)
- [5] A. Raj, U.K. Mishra, et al., IEEE Electron Device Letters 41.2: 220-223 (2020)
- [6] N. Oi, H. Kawarada et al., Sci. Rep., vol. 8, 10.1038/s41598-018-28837-5 (2018)
- [7] 新倉, 川原田他 第80回応用物理学会秋季学術講演会予稿集, 20a-E312-1
- [8] M. Iwataki, H. Kawarada et al., IEEE Electron Device Letters 41, 1, (2020)

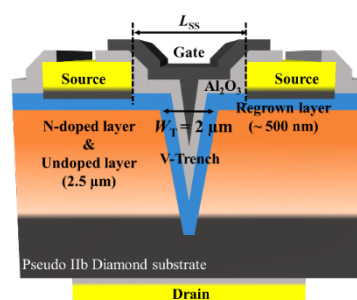


Fig.1 Sectional view of gate in trench structure vertical-type 2DHG Diamond MOSFET.

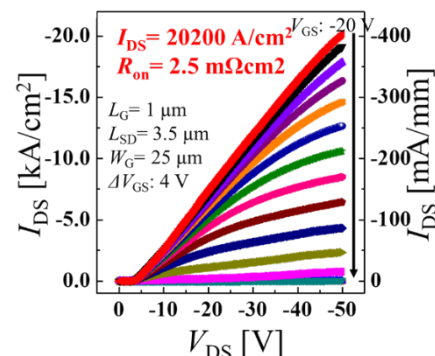


Fig.2 On-state characteristics of the gate in trench vertical-type MOSFET which has 500 nm thick regrown layer at drain bias V_{DS} from 0 to -50 V .

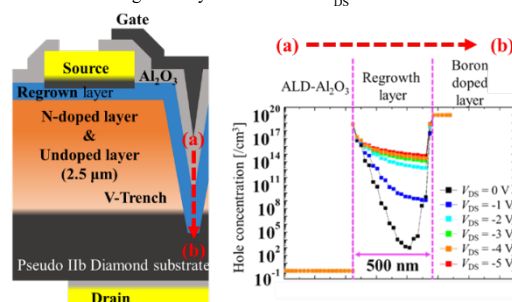


Fig.3 Relationship between hole concentration and drain voltage of trench epitaxial layer at trench bottom analyzed by ATLAS device simulation.