基板上に直接横たわった Si 細線のゼーベック係数の測定(2)

Seebeck Coefficient Measurement of Si Wire Directly Laid on Substrate (2)

早大理工1,產総研2,静岡大学3

○片山 和明¹, 富田 基裕¹, 平尾 修平¹, 田邉 咲華¹, 松川 貴², 松木 武雄^{1,2}, 猪川 洋³, 渡邉 孝信

Waseda Univ.1, AIST2, Shizuoka Univ.3

OK. Katayama¹, M. Tomita¹, S. Hirao¹, S. Tanabe¹, T. Matsukawa²,

T. Matsuki^{1,2}, H. Inokawa³, T. Watanabe¹

Email: katayama.kazu@akane.waseda.jp

【はじめに】我々は、Si 基板表面を加工して作製できる熱電 発電素子の研究に取り組んでいる。提案するデバイス構造 は、Si 細線の下に空洞を設けない構造をしている。この場合、 Si 細線に流入した熱は Si 細線に接している基板中にも拡散 するため、温度分布は線形にならない^[1]。このため、Si 細線 から得られる熱起電圧が、空中架橋させた Si 細線単一のゼ ーベック係数から予想できる熱起電圧より低い可能性があっ た。前回、基板上に直接横たわった Si 細線の両端に抵抗温 度計測用の金属配線を形成して実効的なゼーベック係数を 評価した。その結果、基板上に直接横たわった Si 細線でも 空中架橋された Si 細線のゼーベック係数とほぼ同等の値を 示すことを報告した^[2]。ただし、Si細線のゼーベック係数はSi 細線の Si/SiO2 界面の状態に大きく影響を受ける可能性があ り^[3]、前回の測定では、Si/SiO2界面の状態によるゼーベック 係数の変化と基板上に置いた効果が相殺しあっている可能 性を否定できない。そこで今回、SiO2/Si 界面準位が低減で きるフォーミング・ガス・アニール(FGA)を施した試料を用意 し、基板上に直接横たわった Si 細線のゼーベック係数に与 える影響を調査した。

【実験方法】作製したデバイスの模式図を Fig.1 に示す。長さ 3mm、幅 2µm、並列本数が 50 本で、Si 細線間のスペースが 0.5,1,2,10 µm の構造の4種類のデバイスを同一基板上 に作製した。作製手順は以下の通り。まず、P型 Si(100)の SOI 基板 (SOI 膜厚 = 88nm, BOX = 145nm, Si-substrate = 745µm)を電子線描画と反応性イオンエッチングによってパタ ーニングし、表面に約 20nm の熱酸化膜を形成した。続いて、 P⁺イオンを 25keV で 1.0×10¹⁵/cm² 注入し、活性化アニール (950℃,10min)を行うことで n 型化した。最後にスパッタリング で金属(Ti:10nm,TiN:30nm,Al:400nm)を堆積させ、電極と抵 抗温度計測用の配線パターンを形成した。以上の工程が終 了した基板を二つ用意し、片方の基板を FGA(H2+Ar, 400℃, 30min)した。ゼーベック係数の評価は以下の手順で実施し た。まず、抵抗温度計を校正するために、プローバのステー ジ温度を 20℃~40℃の範囲で変化させ、抵抗温度計の温 度係数を求めた。温度係数は20℃において、FGA 無しのサ ンプルは約0.341%/K, FGA ありのサンプルは約0.330%/K であった。次に、デバイスの高温側電極にマイクロヒータを押 し当て、マイクロヒータとステージが温度差(15K)になるように マイクロヒータを昇温し、高温側と低温側の抵抗温度計が示 す温度の差分をとることで Si 細線両端の温度差を計測した。 その後、デバイスの熱起電圧[V]を測定し、これを測定した 温度差で割ることでゼーベック係数を求めた。

【実験結果】Fig.2(a)に熱電発電素子の電気抵抗の測定結 果を示す。Si 細線の膜厚と不純物濃度は、約 70nm, 7×10¹⁹/cm³ であった。温度差と熱起電圧の測定結果を Fig.2(b)に示す。Si 細線間の距離を変えても、温度差やゼー ベック係数の有意な変化は見られなかった。Fig.3 に示すよう に、我々の Si 細線の下に空洞を設けない構造の場合、高温 側の電極構造および SiO₂ 層を通じて、基板中に拡散した熱 が横方向に拡散して低温側を温めてしまう影響が大きく^[4]、 隣接する Si 細線からの熱的な影響が相対的に小さくなって いるため、温度差が Si 細線間の距離に依らなかったと考え られる。

FGA 前後における Si 細線のゼーベック係数はどちらも約 -170μV/K であった。以前、FGA の有無によって Si 細線のゼ ーベック係数が著しく変化することを当グループから報告し ているが^[3]、この時の Si 細線は幅 45nm だったのに対し、今 回は 2μm と、比較的太いことが FGA の影響が小さかった理 由と考えている。

以上から、基板上に直接横たわった Si 細線でも、周囲から断熱された Si 細線と同等の熱電性能を示すことが改めて確認された。

【謝辞】本研究は JST-CREST(JPMJCR19Q5)の支援により実施された。またデバイス 作製は、文部科学省ナノテクノロジープラットフォーム事業(NIMS 微細加工プラットフ ォーム)の支援を受けて実施された。

【参考文献】[1]渡邉孝信ら、電気学会、「Si-CMOS 高出力熱電発電デバイスの開発」 (2008). [2]片山ら、第 67 回応用物理学会春季学術講演会、13a-PB3-2. [3] Hashimoto et al., Appl. Phys. Lett. 111, 023105 (2017). [4] 富田基裕ら、第 79 回応用物理学会秋 季学術講演会、20p-234B-12.



Fig.1: Schematic of fabricated TE generator



Fig.2: Performance of TE generator



Fig.3: Image view of heat flux