ミニマルファブで作成したオペアンプ回路（Ⅱ）

Operational amplifier Circuit Fabricated by Minimal Fab (Ⅱ)

加瀬 雅 [1], 古賀 和博 [2], クンプアン ソマワン [1, 2], 原 史朗 [1, 2]
産総研 [1], ミニマルファブ推進機構 [2]

AIST[1] and MINIMAL[2]
Masashi Kase[1], Kazuhiro Koga[2], S. Khumpuang[1, 2], and S.Hara[1, 2]
E-mail: kase-masashi@aist.go.jp

【背景・目的】

我々は局所クリーン化技術でクリーンルームを不要とし、規格化した超小型の製造装置とウェハで、１枚ずつ製造する超小型デバイス製造システム・ミニマルファブの開発を行っている[1]。現在、主要前工程は実用商品のレベルとして販売されている。これらを用いたデバイス試作に関しては、これまで、n 型のバルク Si 基板と Al ゲート電極を用いた CMOS を試作し良好な特性を得ている[2]。最近では、装置とプロセスインテグレーションの熟成開発が進み、デジタル回路で必要な OFF と ON の飽和領域だけでなく、線形領域についても比較的安定に CMOS 素子を作れるようになってきた。これはすなわち多品種少量が多いアナログデバイスへの応用の可能性がでてきたということである。

なお、OP アンプは極めて微妙な回路であり、回路設計とプロセスを精密に作り込まなければ動作しない難しい回路である。前回の報告で、実際に本 CMOS プロセスを用いて OP アンプの試作を行い報告した[3]。この中で OP 回路の電気的評価のポイントとして、①入力に対して出力が増幅すること、②負端子に入力すると入力波形が出力で反転すること、③周波数を高くするとゲインが低下すること、④オフセットが十分に小さいこと、の 4 つを上げた。前回、①～③は達成することができたが、オフセットは 0.5V～2.0V と大きい結果であった。今回、このオフセットを改善すべくパターンとプロセス変更を行い、OP 試作を行った。

【実験方法】

実験には、直径 12.5mm の n-Si(100)ウェハを用い、ウェハへのプロセッシングには全てミニマル装置を用いた。マスクは全 8 層である。ボロン拡散、リン拡散には熱拡散法を用い、ゲートには Al を用いた。1 個の OP アンプは n MOS と pMOS 合計 11 個で形成されている。ゲート長とゲート幅は個々のトランジスタで異なる。具体的には、ゲート長 14μm～19μm、ゲート幅は 30μm～400μmである。

そもそも OP アンプの特性がばらつくのは、トランジスタの LWD(Length,Width,Depth)とドーピングプロファイルがばらつくこと、そして、汚染やプロセスのばらつきなのでリーク電流や閾値に変動があることなどによると考えられる。今回はトランジスタの LW を一定にするために、サイドエッチングの安定化とトランジスタ構造の適正化を図ることとした。具体的には、前回とのプロセス変更点は Al ゲートと Al 配線の層間の TEOS 膜厚を 300nm から 400nm とし、Via のエッチングを DryEtching から Wet&DryEtching に変更した（WetEtching 量 :200nm, DryEtching 量:200nm)。また、パターン変更は Al ゲートと Al 配線のオーバラップ箇所を避けるようにした。OP アンプの測定の際は、図 1 に示す反転増幅回路の結線を行った。フィードバック抵抗には 4.7kΩの抵抗を用いて、電圧利得(ゲイン)を 4.7 とした。測定条件は、入力電圧:1.0V、入力周波数:1.0kHz、電源電圧：±7.0V である。

【実験結果】

図 2 はプロセス完成後のウェハの外観写真を示す。この OP アンプを図 1 に示した回路で測定した結果を図 3 に示す。図 3 の配列はウェハ内のチップで、色付きは OP アンプ回路で全 24 チップ、白いチップは TEG になっている。青色の 19 チップは OP アンプが動作しゲインは 4.7 であった。この 19 チップのオフセットは 7mV～564mV と前回の報告時の 0.5V～2.0V と改善することができた。しかし、観察されたオフセット量のばらつきは改善すべき点である。今後は、さらにプロセスと回路構造の適正化を進める。

【参考文献】

[1] 原 史朗, クンプアン ソマワン ,「ミニマルファブの開発とそのデバイスプロセス」, 応用物理, 83(5), 380 (2014).
[2]古賀 和博, 他、「ミニマル液体ドーパントプロセスによる CMOS 試作」、第 76 回 応用物理学会春季学術講演会, 13p-1C-4 (2015)
[3]加瀬 雅, 他、「ミニマルファブで作成したオペアンプ回路」、第 80 回 応用物理学会秋季学術講演会, 19p-E304-7(2019)

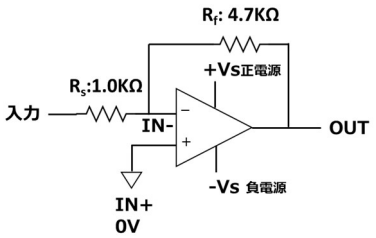

図 1　OP アンプ測定回路図

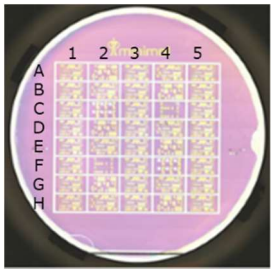

図 2　試作完成後のウェハ外観の顕微鏡写真

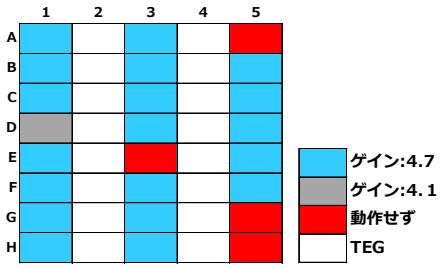

図 3　OP アンプ測定結果