

アンチ・アンバイポーラトランジスタの開発 II -高性能化を目指した材料探索-

Development of anti-ambipolar transistors

Part II: Materials exploration for improving transistor performance

物材機構¹, 筑波大数理², 九大院工³ ○瀧井 康太^{1,2}, 早川 竜馬¹, 小橋 和義^{1,3},

山田 洋一², 若山 裕^{1,3}

NIMS¹, Tsukuba Univ.², Kyushu Univ.³, ○Kota Fuchii^{1,2}, Ryoma Hayakawa¹, Kazuyoshi Kobashi^{1,3},

Yoichi Yamada², Yutaka Wakayama^{1,3}

E-mail: FUCHII.Kota@nims.go.jp

【はじめに】Internet of Things (IoT)社会の実現に向け、柔軟性と計算機能を両立する情報処理端末が求められている。上記目的に対し、我々はドレイン電流が4桁に渡って急激に増減する負性抵抗を室温で示す有機トランジスタ (アンチ・アンバイポーラトランジスタ: AAT)を用いて3値の多値論理動作に成功した^[1,2]。この結果は、有機集積回路の処理能力の向上に多値化が有効であることを示している。しかしながら、一方で AAT の駆動には高電圧 (V_G , $V_D=60$ V)を必要とする問題があった。本講演では AAT のさらなる高性能化を目指し、1) 電荷注入層、2) 高誘電率ゲート絶縁膜、3) 高移動度半導体材料について検討したので報告する。また、AAT の高性能化が多値論理回路の出力特性に与える影響についても合わせて検討した。

【実験および結果】Fig. (a)に AAT を用いた多値論理回路 (MVL) の素子構造を示す。SiO₂(200nm) (または Al₂O₃(30nm))/Si 基板を用い、スピンコート法により CYTOP (10 nm)を形成した。ここで Si 基板は入力電極、SiO₂ および Al₂O₃はゲート絶縁膜として機能する。続いて真空蒸着法により p 型半導体である α -sexithiophene (α -6T) (3 分子層)と n 型半導体である PTCDI-C8 (12 分子層)をチャンネル中央で重ね合わせた。その後、電荷注入層として Cs₂CO₃、さらに Au 電極を連続蒸着し、ドレイン電極、出力電極、ソース電極として用いた。

Fig. (b)に AAT の n 型動作時における I_D - V_G 特性を示す。SiO₂ (200 nm, 比誘電率 3.9) を用いた AAT では $V_G (=V_{on}) = 18$ V からドレイン電流が増加し始め、 $V_G (=V_{peak}) = 26$ V を境に電流が減少する負性抵抗を観測した (Fig. (b) 赤色)。またゲート絶縁膜に Al₂O₃ (30 nm, 比誘電率 8.1) を用いることで $V_{on}=5.3$ V、 $V_{peak}=6.6$ V へ低減した (Fig. (b) 紫色)。さらに Cs₂CO₃を導入し、最終的に $V_{on}=2.7$ V、 $V_{peak}=4.8$ V まで低減することに成功した (Fig. (b) 緑色)。

次に AAT の低電圧化が MVL の出力特性に与える影響について検討した。Fig. (c)に MVL の V_{OUT} - V_{IN} 特性を示す。すべての素子において“0”、“1/2”、“1”の3値が出力され多値動作に成功した。ここで重要な点は、論理値“1”から“1/2”に移行する入力電圧($V_{IN,1 \rightarrow 1/2}$)と“1/2”から“0”へ遷移する入力電圧($V_{IN,1/2 \rightarrow 0}$)が AAT の V_{on} と V_{peak} に対応することである。AAT の V_{on} と V_{peak} の低減に伴い、 V_{OUT} - V_{IN} 特性における $V_{IN,1 \rightarrow 1/2}$ および $V_{IN,1/2 \rightarrow 0}$ も低減した。最終的に Al₂O₃ と Cs₂CO₃を用いた素子では $V_{IN,1 \rightarrow 1/2} = 3.5$ V、 $V_{IN,1/2 \rightarrow 0} = 4.8$ V まで低減することに成功した。当日は、 α -6T に替えて高移動度 p 型半導体である C8-BTBT を用いた結果についても合わせて報告する。

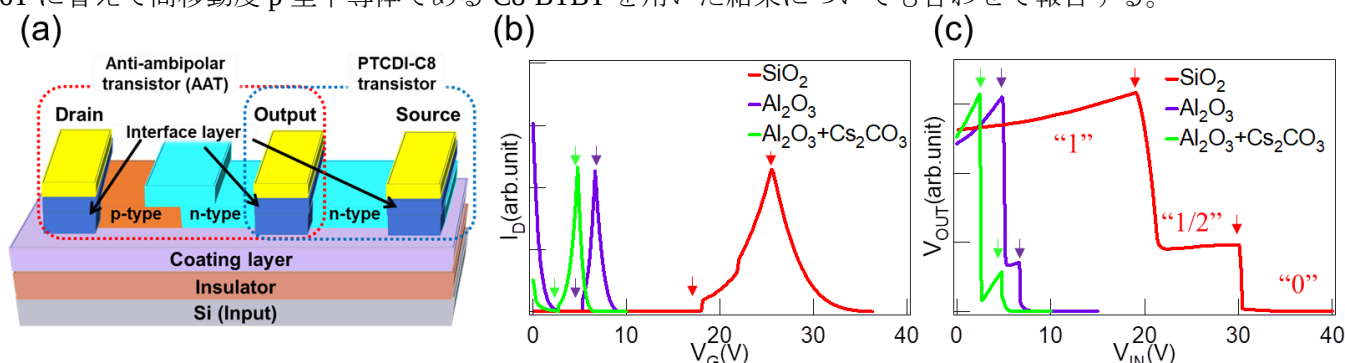


Fig. (a) Schematic illustration of a multi-valued logic circuit (MVL) with an AAT and a PTCDI-C8. (b) I_D - V_G curves of AATs with n-type operation and (c) V_{OUT} - V_{IN} curves obtained from MVLs with 200-nm-thick SiO₂ layer (red), 30-nm-thick Al₂O₃ layer (purple) and with Cs₂CO₃ interlayers and 30-nm-thick Al₂O₃ layer (green). The curves shown in (b) and (c) were normalized at the maximum I_D for (b) and V_{out} for (c) for better comparisons.

【参考文献】

[1] K. Kobashi *et al.*, *Adv. Electron. Mater.* 3, 1700106 (2017). [2] K. Kobashi *et al.*, *Nano. Lett.* 18, 4355 (2018).