

InP ナノワイヤ縦型トンネル FET の作製

Fabrication of InP nanowire vertical tunnel FET

北海道大学大学院情報科学研究院および量子集積エレクトロニクスセンター

○勝見 悠、蒲生 浩憲、本久 順一、富岡 克広

Graduate School of IST and RCIQE, Hokkaido Univ.

○Yu Katsumi, Hironori Gamo, Junichi Motohisa, Katsuhiko Tomioka

E-mail: katsumi@rciqe.hokudai.ac.jp

[はじめに] 電界効果トランジスタ(FET)は、微細化とともに消費電力を削減することが課題である。このため、近年 III-V 族化合物半導体ナノワイヤを高移動度チャンネル材料とした縦型構造トランジスタと、輸送機構にトンネル効果を用いたトンネル電界効果トランジスタ(TFET)が注目されている。III-V 族化合物半導体は、低電圧でオン電流を増大させることができ、低電圧駆動が可能になる。また、ナノワイヤチャンネルの全方位をゲートで包埋した構造は、オフリーク電流の低減化に有効である。さらに、TFET は熱拡散輸送の物理限界を回避できるため、サブスレッショルド係数の急峻化で消費電力を削減することができる。

本報告では、InP ナノワイヤを用いた縦型 TFET の作製結果について報告する。

[実験方法] p 型 InP(111)A 基板に、RF スパッタリング法により膜厚 15 nm の SiO₂ を堆積させた。次に、電子線リソグラフィ、ウェットエッチングを用いて開口部を形成し、有機金属気相(MOVPE)選択成長法により InP ナノワイヤを成長した。成長原料は、III 族原料に trimethyl-indium (TMIn)、V 族原料に tertiarybutylphosphine (TBP)を用いた。成長条件は成長温度 660°C とし、Zn パルスドーピング(i)層を 2 分 30 秒成長させた後、Si ドープ(n)層を 1 分成長させ、Sn パルスドーピング(n⁺)層を 3 分成長させた。V/III 比は 24 とした[Fig.1(b)]。

次に、原子層堆積法により HfAlO 膜を 10 nm 堆積し、スパッタリング法により W を成膜した。次に、benzocyclobutene (BCB)でナノワイヤを包埋し、ナノワイヤ上部のゲート電極を反応性イオンエッチングでエッチングし、サラウンドゲート構造を作製した。最後に、BCB でゲート・ドレイン間分離層を形成し、ドレイン電極(Ni/Ge/Au)とソース電極(AuZn)をそれぞれ堆積した[Fig.1(b)]。

[結果] Fig. 1(a)に InP ナノワイヤの選択成長

結果を示す。成長したナノワイヤは平均直径が 80 nm、高さは 1600 nm であった。さらに、成長速度と成長時間からそれぞれ Zn ドープ層を 380 nm、Si ドープ層を 310 nm、Sn ドープ層を 910 nm と見積もった。Fig.1(b)の TFET のトンネル接合は p-InP/n-InP 界面であり、サラウンドゲート構造で、この界面で生じるトンネル輸送を変調する素子構造としている。

Fig. 2 に作製した InP ナノワイヤ TFET の伝達特性を示す。トンネル電流がゲート電圧で変調され、トンネル FET 動作を確認することができた。V_{DS} = 0.25 V のとき SS = 215 mV/桁であり、オン電流は 90 pA/μm (V_{DS} = V_G = 0.5 V)であった。当日は TFET のスイッチング特性のナノワイヤ直径依存性について検討する。

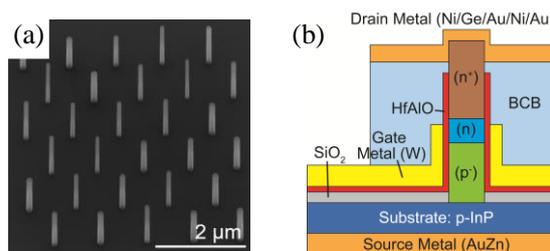


Fig. 1. (a) SEM image of InP nanowires, (b) Cross-sectional structure of InP nanowire TFET

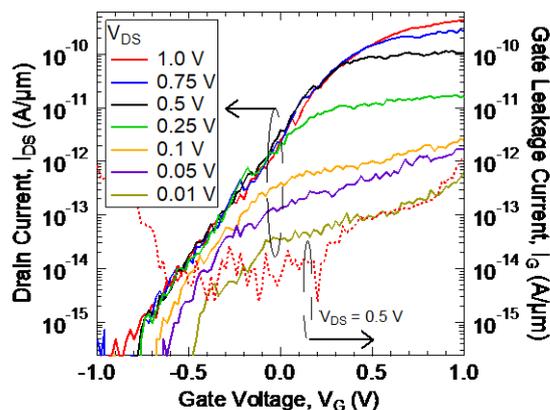


Fig.2 Transfer Characteristics of InP nanowire TFET