

# スピントロニクスが切り拓く革新的AIプロセッサ

## Innovative AI Processor with Spintronics Technology

東北大<sup>1</sup>, パワースピン(株)<sup>2</sup>, °遠藤 哲郎<sup>1,2</sup>

Tohoku Univ.<sup>1</sup>, Power Spin Inc.<sup>2</sup>, °Tetsuo Endoh<sup>1,2</sup>

我々の生活をより豊かで快適にするために、より高度で目共の手元で使える AI システムを実現することは非常に重要である。しかし、既存のクラウドベースの AI システムでは、スマートフォンや自動車などのエッジで生み出されるデータ量の飛躍的増加に伴い、クラウドとエッジの間での通信エネルギーやトラフィックの遅延(リアルタイム性の劣化)などの課題が山積している。このため、私たちの身の回りで AI システム活用するエッジ AI システムを実現するために、飛躍的な演算効率向上と桁違いの低消費電力で、リアルタイム学習とリアルタイム判断を行い、必要なデータを保存する機能を具した革新的 AI アプリケーションプロセッサが求められている。

本招待講演では、近年、既存の CMOS 技術と比べて低消費電力化を実現できる革新的技術として注目されているスピントロニクスベースの超低消費電力プロセッサ技術の概要を講演する。具体的には、SRAM 等のワーキングメモリのみならず、マイコンや AI プロセッサ・ニューラルネットワークプロセッサ等において、現在の課題である演算性能 vs.消費電力のジレンマが 1 桁~2 型のオーダーで飛躍的に解決できることを紹介する。そして、将来の IoT システムや自動運行などの AI システムへのインパクトを示す。

加えて、東北大学で開発してきた上述の技術を含むコア技術群の社会普及を促進するために創業した「東北大学発ベンチャー パワースピン株式会社」についても、ご紹介します。

### < REFERENCES >

- [1] T. Endoh, "Spintronics Based NV-Memory/Logic for High Performance & Low Power", 2013 VLSI Technology Short Course of 2013 Symposium on VLSI, June 2013
- [2] T. Endoh, H. Koike, S. Ikeda, T. Hanyu, and H. Ohno, "An Overview of Nonvolatile Emerging Spintronics Memories for Working Memories", IEEE JESCAS, 2016 (*Invited*)
- [3] Y. Ma, S. Miura, H. Honjo, S. Ikeda, T. Hanyu, H. Ohno, T. Endoh, "A 600- $\mu$ W Ultra-Low-Power Associative Processor for Image Pattern Recognition Employing MTJ-Based Nonvolatile Memories with Autonomic Intelligent Power-Gating Scheme", JJAP, 2016
- [4] T. Endoh, "STT-MRAM and its Application: NV-Logic from NV-MPU/MCU to NV-AI VLSIs", ISCAS2018, (*Invited*)
- [5] M. Natsui, D. Suzuki, A. Tamakoshi, T. Watanabe, H. Honjo, H. Koike, T. Nasuno, Y. Ma, T. Tanigawa, Y. Noguchi, M. Yasuhira, H. Sato, S. Ikeda, H. Ohno, T. Endoh, T. Hanyu, "An FPGA-Accelerated Fully Nonvolatile Microcontroller Unit for Sensor Node Applications in 40nm CMOS/MTJ-Hybrid Technology Achieving 47.14 $\mu$ W Operation at 200MHz", ISSCC2019
- [6] K. Nishioka, H. Honjo, S. Ikeda, T. Watanabe, S. Miura, H. Inoue, T. Tanigawa, Y. Noguchi, M. Yasuhira, H. Sato and T. Endoh, "Novel Quad Interface MTJ Technology and Its First Demonstration with High Thermal Stability and Switching Efficiency for STT-MRAM Beyond 2Xnm", VLSI Symp. 2019
- [7] H. Honjo, A. N. Thi Van, T. Watanabe, T. Nasuno, C. Zhang, T. Tanigawa, S. Miura, H. Inoue, M. Niwa, T. Yoshizuka, Y. Noguchi, M. Yasuhira, A. Tamakoshi, M. Natsui, Y. Ma, H. Koike, Y. Takahashi, K. Furuya, H. Shen, S. Fukami, H. Sato, S. Ikeda, T. Hanyu, H. Ohno, T. Endoh, "First Demonstration of Field-free SOT-MRAM with 0.35 ns Write Speed and 70 Thermal Stability under 400 °C Thermal Tolerance by Canted SOT Structure and its Advanced Patterning/SOT Channel Technology", IEDM2019
- [8] M. Natsui, A. Tamakoshi, H. Honjo, T. Watanabe, T. Nasuno, C. Zhang, T. Tanigawa, H. Inoue, M. Niwa, T. Yoshiduka, Y. Noguchi, M. Yasuhira, Y. Ma, H. Shen, S. Fukami, H. Sato, S. Ikeda, H. Ohno, T. Endoh, and T. Hanyu, "Dual-Port Field-Free SOT-MRAM Achieving 90-MHz Read and 60-MHz Write Operations under 55-nm CMOS Technology and 1.2-V Supply Voltage", VLSI Symp. 2020.
- [9] S. Miura, K. Nishioka, H. Naganuma, T. V. A. Nguyen, H. Honjo, S. Ikeda, T. Watanabe, H. Inoue, M. Niwa, T. Tanigawa, Y. Noguchi, T. Yoshiduka, M. Yasuhira, and T. Endoh, "Scalability of Quad Interface p-MTJ for 1X nm STT-MRAM with 10 ns Low Power Write Operation, 10 years Retention and Endurance > 10<sup>11</sup>", VLSI Symp 2020.
- [10] T. Endoh, H. Honjo, K. Nishioka and S. Ikeda, "Recent progresses in STT-MRAM and SOT-MRAM for next generation MRAM", VLSI Symp. 2020 (*Invited*)