

歪み Si/緩和 SiGe/Si(110)へテロ構造 p-MOSFET における 正孔移動度のチャネル方向依存性

Channel direction dependence of hole mobility in strained Si/relaxed SiGe/Si(110) heterostructure p-MOSFET

山梨大¹, 東京都市大総研²

(M1)藤澤泰輔¹, 各川敦史¹, 浪内大地¹, 佐野雄一¹, 泉大輔¹,
山中淳二¹, 原康祐¹, 澤野憲太郎², 中川清和¹, 有元圭介¹

Yamanashi Univ.¹, ARL Tokyo City Univ.²

T. Fujisawa¹, A. Onogawa¹, D. Namiuchi, Y. Sano¹, D. Izumi¹,
J. Yamanaka¹, K. O. Hara¹, K. Sawano², K. Nakagawa¹, K. Arimoto¹

E-mail: g20tz009@yamanashi.ac.jp

CMOS デバイスの高性能化・低消費電力化を実現するためには、正孔移動度の向上が必要である。Si(110)面上に形成される伸長歪み Si は正孔が高い移動度を示すことが報告されている。特に、歪み Si 層の膜厚は、デバイス特性を決定する上で重要なパラメータとなる。(110)面では SiGe 層が緩和する際に(111)面と(11 $\bar{1}$)面を境界面とする *microtwin* が発生する。 $[\bar{1}10]$ 方向に伸びる筋状の形状は、この *microtwin* の形成に関連するものである。これまでの研究で、 $[\bar{1}10]$ 方向の電気特性において膜厚の増加に伴い正孔移動度が低下することを明らかにし、歪み Si 層が薄い場合において高い正孔移動度を得た^[1]。本研究では、 $[001]$ 方向における正孔移動度について調査し、 $[\bar{1}10]$ 方向との比較を行った。

測定した試料の結晶成長は固体ソース MBE を使用し、n-Si(110)基板に階段傾斜組成 SiGe 層 (Ge 組成: 3~30 %) 及び均一組成 SiGe 層を各 200 nm 成長させた後、膜厚の異なる Si 層(20 nm~136 nm)をそれぞれの試料に対して成長させた。その後、フォトリソグラフィによって p-MOSFET を作製した。

Fig.1 に各試料の正孔の電界効果移動度の解析結果を示す。 $[001]$ 方向の全ての試料において、 $[\bar{1}10]$ 方向よりも正孔移動度が低下する結果が得られた。これは $[\bar{1}10]$ 方向が *microtwin* を避けて正孔が移動する方向であるのに対し、 $[001]$ 方向は *microtwin* と直交する方向にあることから、 $[001]$ 方向の伝導に対してより強い散乱効果を受けているためと考えられる。更にこの結果は、 $[\bar{1}10]$ 方向の歪み Si 層が薄い試料ほど移動度向上の可能性を有していることを示唆している。また、比較として Si(110) 及び SiGe(110)の結果も Fig.1 中に示している。SiGe(110)と比べて歪み Si のある試料は移動度が高く、この相違は歪み Si に起因するものであることが確認された。

[1]藤澤泰輔他. 第 80 回応用物理学会秋季学術講演会. 19P-E313-9

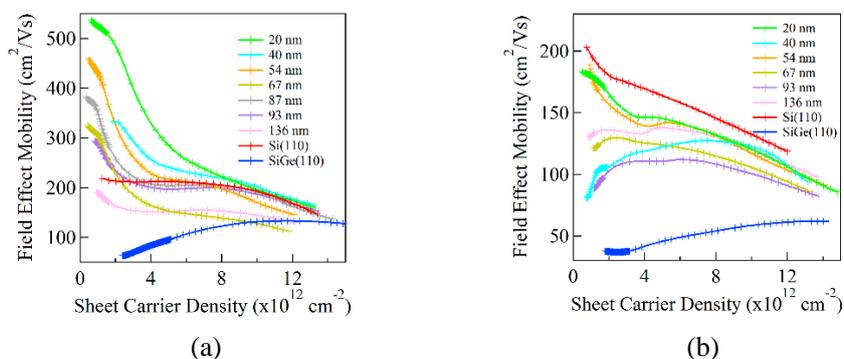


Fig.1. Field Effect Mobility. (a) $[\bar{1}10]$ channel direction. (b) $[001]$ channel direction.