

ナノ人工物メトリクスのためのナノ構造埋込 Si MOSFET の試作と評価

Fabrication and characterization of nanostructure-embedded Si MOSFET for nano-artifact-metrics

北大 量集センター¹, 大日本印刷², 産総研³, [○]水野慎太郎¹, 呂任鵬¹, 清水克真¹, 殷翔¹, 上羽陽介², 石川幹雄², 北村満², 法元盛久³, 葛西誠也¹

RCIQE, Hokkaido Univ.¹, DNP², AIST³, [○]S. Mizuno¹, R. Lu¹, K. Shimizu¹, X. Yin¹, Y. Ueba², M. Ishikawa², M. Kitamura², M. Hoga³, and S. Kasai¹

E-mail: mizuno@rciqe.hokudai.ac.jp

1. はじめに

物理空間とサイバー空間が融合する環境での安全な認証技術として、人工的に複製不可能な物理的特徴を利用した人工物メトリクスが注目されている。レジスト倒壊現象を利用したナノ人工物メトリクスは高いセキュリティ性能を持つ[1]。課題は微小構造の読出しである。我々はナノ構造を MOSFET のゲート直下に埋め込むことで電氣的に識別する方法を提案した[2]。本研究では単一ナノ構造を埋め込んだ Si MOSFET の試作と電気特性評価を行った。

2. ナノ構造電氣的識別コンセプト

図 1 に Si MOSFET を用いたナノ構造の電氣的読出しのコンセプトを示す。ゲート直下のキャリア分布は埋め込まれたナノ構造の形状によって変化する。チャンネル方向の空間分解は、ドレイン電圧をスイープし電流変化を見る。飽和領域においてピンチオフ点 L_p はドレイン電圧に依存することから、ナノ構造の情報を間接的に読み出せる。また幅狭ゲートを複数用意し、ゲートごとにドレイン電圧をスイープすることで横方向分解を行う。

3. 実験結果

試作した Si MOSFET はチャンネル長 $12\ \mu\text{m}$ 、チャンネル幅 $6\ \mu\text{m}$ 、酸化膜 $30\ \text{nm}$ である。ドレイン端から $1.4\ \mu\text{m}$ 離れたゲート直下に幅 $100\ \text{nm}$ 、高さ $30\ \text{nm}$ のナノ凸構造を埋め込んだ。試作デバイスおよびナノ凸構造の上面図を図 2 に示す。図 3 は試作デバイスの電流-電圧特性である。ナノ凸構造を埋め込んだデバイスでは、凸構造無しのデバイスと比較し線形領域においてオン抵抗が増加するとともに飽和領域でドレインコンダクタンスが増加した。

デバイスシミュレーションより、線形領域で

のオン抵抗増加は凸構造によるチャネルポテンシャルキックが生じたことが原因である。キックがキャリアの流れを阻害している。一方、飽和領域でのドレインコンダクタンスの増加は、ドレイン電圧の増加によりポテンシャルキックが徐々に引き下げられたためである。

本発表内容の一部は NEDO の委託業務 (JPNP16007) の成果である。

[1] T. Matsumoto *et al.*, Sci. Rep. 4, 6142 (2014).

[2] K. Shimizu *et al.*, MNC2018, Sapporo, Nov. 2018.

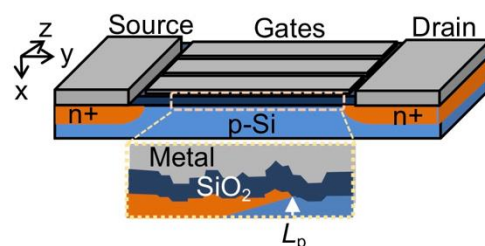


Fig. 1 Concept of electrical readout of nanostructure embedded in MOSFET.

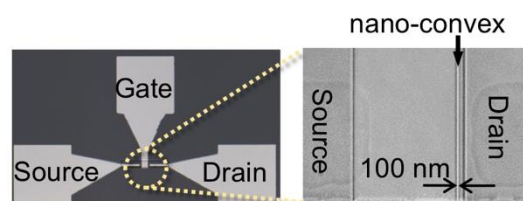


Fig. 2 Top view of fabricated Si MOSFET with a nano-convex.

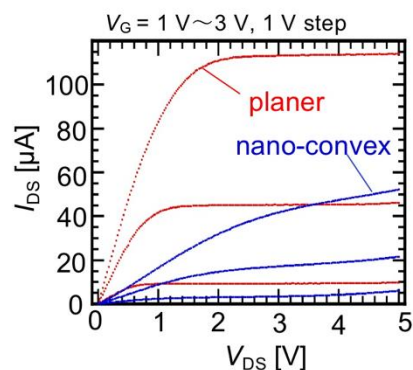


Fig. 3 $I_{\text{DS}}-V_{\text{DS}}$ characteristics of fabricated MOSFETs with and without nano-convex.