

FeFET リザーバーコンピューティングにおける動作電圧と性能の関係の検証

Examination of impact of operating voltage on performance of reservoir computing using FeFETs

東大工 〇名幸 瑛心, トプ ラートポ ン ガ デ イ ト, 王 澤宇, 中根 了昌, 宮武 悠人, 竹中 充, 高木 信一
 〇E. Nako, K. Toprasertpong, Z. Wang, R. Nakane, Y. Miyatake, M. Takenaka, S. Takagi
 (Univ. Tokyo, School of Engineering)
 E-mail: nako@mosfet.t.u-tokyo.ac.jp

【はじめに】我々はリザーバーコンピューティング (RC)[1]のリザーバーとして、記憶特性と非線形性を併せ持つ強誘電体 FET(FeFET)を利用することを提案し[2]、実験的に RC 動作を検証した[3]。ゲート電極に入力する電圧振幅が RC 性能に与える影響を調べた所、分極反転が起きる大きい振幅を入力した場合の方が、RC 性能が向上する特性を示したことから FeFET の強誘電性が RC 性能の向上に寄与することを明らかにした[4]。しかし、強誘電体の分極反転は、印可電圧に依存して分極が完全に反転し飽和する (メジャーループ) 場合と分極反転が不完全な (マイナーループ) 場合があり、この分極反転量の大きさの RC 性能に与える影響はまだ明らかになっていない。そこで、本研究では、強誘電体の分極の大きさと RC 性能の関係性を検証した。

【実験手法】実験には、TiN/Hf_{0.5}Zr_{0.5}O₂(10nm)/SiO₂ (0.7 nm)をゲートスタックを持つ Si FeFET を用いた。Hf_{0.5}Zr_{0.5}O₂ は、ALD 法により 300 °C で堆積を行い、400 °C での熱処理を行なった。今回の実験ではゲート長 5 μm、ゲート幅 100 μm の FeFET を用いた。Fig.1 に示す通り、入力信号をパルス幅が 4 μs の三角波パルスで構成される入力電圧波形で表現し、ゲート電極に印加した。印加する電圧波形は FeFET の閾値変動幅の中心である 1V を基準とし、振幅は 0.5V から 3 V まで変えて測定した。4 μs 幅の入力電圧波形に応じて変化する出力電流波形を 20 ns 間隔で区切り、200 個の電流値を仮想ノードとして用いて、各タスクに対して、望みの出力になるように重みの値を学習させた。RC 性能は入力信号 2000 個を学習に、500 個を検証に用いて交差検証を行い Short Term Memory (STM)タスクと Parity Check (PC)タスクで評価した[5]。また、t-SNE 法[6]による学習効果の評価も行った。

【実験結果・考察】入力電圧の振幅によって FeFET の分極がどのように変わるかを観察するため、入力電圧の振幅とメモリウィンドウの関係を調べた結果を Fig.2 に示す。振幅 1.5 V まではトラップによる影響が見られ、2V 以上で強誘電性が発現し、2.5V 以上で飽和している。一方、異なる入力電圧振幅での STM タスクと PC タスクの相関係数を Fig.3 に示す。横軸は入力電圧振幅、縦軸はタスクの正解とリザーバーが予測した値の相関係数の 2 乗を各時間遅れに対して積算した記憶容量 Memory Capacity(MC)で表している。ここで、MC の値が大きいくほど RC 性能が高い。STM は 2 V 以上で飽和し、PC は単調増加しているが振幅が大きくなるにつれ記憶容量の改善が飽和している。STM と PC とともに強誘電分極が一部しか反転していないマイナーループ動作である振幅 2 V や振幅 2.25 V であっても、強誘電分極が多く反転した振幅 3 V に対して大きな差がついていない。Fig.4 の t-SNE による状態分析を見て

も反転分極量によらず識別できる状態数に大きな違いが見られない事が分かる。

【結論】FeFET の RC はマイナーループ動作であっても良好な RC 性能を示すことが明らかになった。消費電力やデバイスの信頼性を考慮すると小さい電圧振幅の方が有利であり、FeFET による RC がエッジコンピューティング向けのデバイスとして有望であることを示した。

【参考文献】[1] G. Tanaka et al., Neural Networks 115, 100 (2019) [2] トプ ラートポ ン 他, 秋季応物学会 19p-F211-4(2019) [3] E. Nako et al., VLSI symposia, TN1.6 (2020) [4] 名幸他, 春季応物学会 14a-A301-3 (2020) [5] T. Furuta et al., Phys. Rev. Applied 10, 034063(2018) [6] L. van der Maaten et al., J. Mach. Learn. Research 9, 2579 (2008).

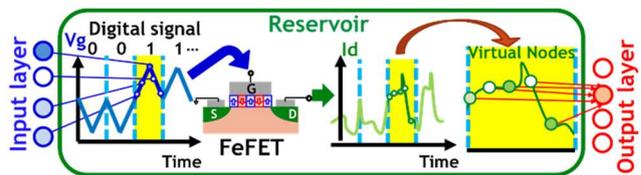


Fig. 1 : Schematic chart of experiments

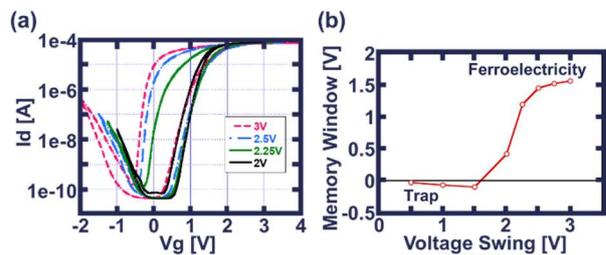


Fig. 2 : (a) IdVg plot and (b)Memory Window of FeFET

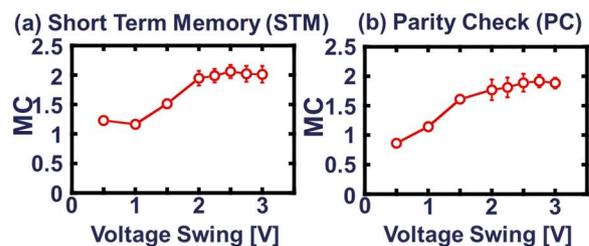


Fig.3 : Memory Capacity of (a) short-term memory task and (b) parity check task by FeFET reservoir

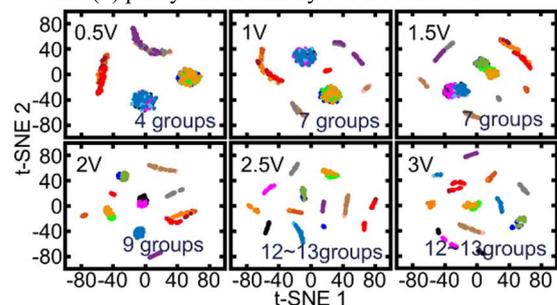


Fig. 4 : t-SNE graph