Fe ナノドットアレイを用いた ダブルゲート単電子デバイスの作製と評価

Fabrication and characterization of double-gate single-electron devices formed by Fe nanodot array

北大院情報　○瘧師 貴幸，浅井 佑基，卞範模，天野 郁馬，福地 厚，有田 正志，高橋 庸夫
Graduate School of IST., Hokkaido Univ.
○Takayuki Gyakushi, Yuki Asai, Beommo Byun, Ikuma Amano, Atsushi Tsurumaki-Fukuchi, Masashi Arita, and Yasuo Takahashi
E-mail: gyakushi@eis.hokudai.ac.jp

1. はじめに

ナノドットアレイを用いた単電子デバイス(Single-Electron Device: SED)は、多数の入力端子を取り付けることが容易で、低消費電力・高機能性が可能な将来の集積デバイスとして応用が期待されている。しかしながら、多数のドットにより電流振動特性が平均化され、観測されないのではという懸念から、基本特性の理解が進んでいない。我々は、数百個以上のドットが存在するにも関わらず、明瞭な単電子効果による電流振動特性が観測されることを見出した[1]。本研究では、より高機能なゲート制御を目指して、ダブルゲート SED を作製し、振動特性を評価した。

2. 実験方法

Fig. 1 に作製したデバイスの模式断面図を示す。熱酸化 SiO_2(200 nm)/Si 基板上に長さ L = 50~400 nm のギャップをもつ Au/Cr 電極を作製し、その電極間に高真空 EB 蒸着を用いて、幅 W = 600 nm の MgF_2(45 nm)/Fe (Fe 膜厚: t_{Fe} = 1.7~3.0 nm)ナノドットアレイを作製した。この上層に、SiO_2(300 nm)層を介して上層ゲート電極(V_T)を形成し、Si 基板を下層ゲート(V_B)として用い、T = 8 K において、上下のゲート電圧を変化させて電気特性を評価した。

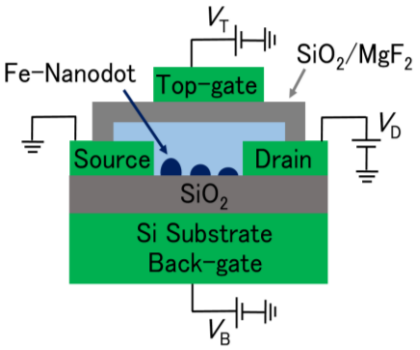

Fig 1. Schematic cross-sectional view of the fabricated device.

3. 実験結果

Fig. 2 は、ほぼ等周期の電流振動を示すデバイスにおいて、V_T, V_B を変化させた時のドレイン電流 I_D の等高線プロットを示す。上下のゲート電圧でドット内の電荷状態が制御できていることがわかる。観測された電流ピーク(赤点線)の傾きから、ドットと上下のゲート間の容量比を算出すると、下層ゲートの容量 C_{Back} と、上層ゲートの容量 C_{Top} の比 C_{Back}/C_{Top} =1.2 と求まる。同様に等周期振動を示す 4 デバイスでは、この容量比は、1.2 ～ 2.7 の値をとる。一方、ゲート絶縁層の膜厚比から、上下のゲート容量比を算出すると、約 1.7 となる。従って、ゲート絶縁層の膜厚比では、上記の実験結果を説明できない。これは、隣接するドットの大きさの違いにより、立体的な効果が異なり、ドット-ゲート間の電界が上下で不均一になるため、ドットに対するゲート容量比が、絶縁層膜厚比で分配されていないものと考えられる。つまり、ドットごとに、実効的なゲート容量比が異なることを示唆している。実際、電磁界シミュレーションを用いて、この現象が確認できた。この効果は、将来的に、ナノドットアレイを用いた SED の高機能化に有利に働くと期待される。

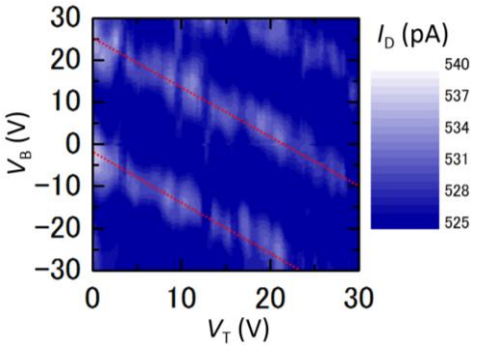

Fig 2. Contour plot of drain current I_D as function of the top-gate (V_T) versus the back-gate (V_B) voltage. The device parameters are t_{Fe} = 2.4 nm, L = 50 nm, V_D = 20 mV

[1] 瘧師 他, 66 回応物春季学術講演会#12p-W934-7(2019)