

転写フリーグラフェン FET の電気特性に対する Ni 金属触媒の結晶性の効果

Effect of crystal quality of Ni metal catalyst on electrical properties of
transfer-free graphene FETs

○小林幹、ドルジダウガ ビルグーン、高橋明空、久保俊晴、三好実人、江川孝志 (名古屋工業大学)

○M. Kobayashi, B. Dorjdagva, A. Takahashi, T. Kubo, M. Miyoshi, T. Egawa (Nagoya Inst. of Tech.)

E-mail: kubo.toshiharu@nitech.ac.jp

1. はじめに

我々はこれまでに金属触媒を凝集させる技術を用いることで転写フリー多層グラフェンを絶縁体上に形成できることを報告した^[1,2]。また、転写フリー多層グラフェンを用いた FET を作製し、ゲート電圧によるドレイン電流の変調を確認した^[3,4]。CVD 法でグラフェンを作製する際に、金属触媒である Ni について、Ni(111)エピタキシャル膜を形成して使用することが報告されており^[5]、前回の発表では金属凝集法においても Ni 膜の結晶子サイズが大きい場合に、形成されたグラフェン膜の欠陥が減少することを報告した^[6]。本研究では、転写フリーグラフェン FET の作製を進めると共に、Ni 膜の結晶性について EBSD (Electron Back Scatter Diffraction) により評価を行ったので、その結果について報告する。

2. 実験方法

前回の報告と同様にして、Sapphire 基板上に Ni 膜を成膜した^[6]。まず Sapphire 基板を 15 分 900°C で大気アニールし[熱処理 A]、Ni を膜厚 20nm、基板を 150°C で加熱しながら[熱処理 B] EB 蒸着を行った後、高真空下において 600°C で 5 分間アニールをした[熱処理 C]。本研究では、熱処理の組み合わせとして全ての条件を行った。その後、Ni の状態を確認するために XRD 測定、EBSD 分析を行った。その後、これまでと同様の方法により、転写フリーグラフェン膜および FET を形成した。まず、PAPD (Pulse Arc Plasma Deposition) 法でカーボン 50nm を蒸着し、1000°C で 5 分間アニールすることでグラフェンを形成した。グラフェンの状態はラマン分光により確認した。作製したグラフェンに対し、Ti/Au (10/40 nm) によりソースおよびドレイン電極を作製し、絶縁膜として SiO₂ を 200 nm 成膜した。その後、ゲート電極として Ti/Au(10/40 nm) を形成した。作製した転写フリーグラフェン FET について I-V 特性を測定した。転写フリーグラフェン FET の模式図を Fig. 1 に示す。

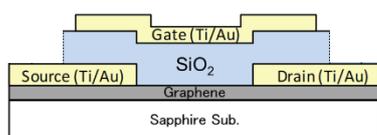


Fig.1 Cross-sectional view of the FET.

3. 実験結果

Ni 膜の成膜時における熱処理工程として、蒸着中の加熱[熱処理 B]および、成膜後の加熱[熱処理 C]を行った Ni 膜並びに、熱処理を何も行わなかった Ni 膜に対する EBSD 分析の結果をそれぞれ Fig. 2(a)(b) に示す。Fig. 2 はそれぞれの Ni 膜の Image Quality (IQ) マップであり、IQ マップは EBSD パターンの鮮明さの指標である IQ 値をグレースケールで表示したものである。IQ 値が高いほど結晶性が良いことを示している。Fig. 2(a)において IQ 値は 14060~95500 である一方、Fig. 2(b)の IQ 値は 4650~10800 であり、熱処理を行うことで結晶性が向上していることが確認された。この結果は前回報告した XRD を用いた評価結果と整合している^[6]。

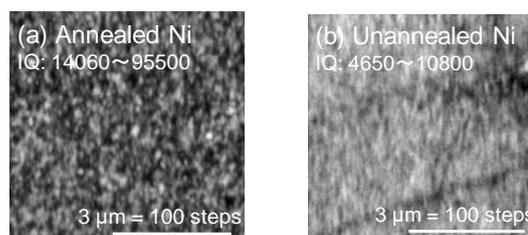


Fig. 2 Image quality maps of Ni films obtained by EBSD.

上記の熱処理を施した Ni 膜を用いて形成したグラフェン膜について、作製した FET の電気特性評価を行った結果、電界効果移動度は正孔に対して 1600cm²/Vs、電子に対して 1540 cm²/Vs であり、Ni 膜形成時に熱処理を施さない場合に対して^[3]、およそ 2 倍の向上が確認された。

4. まとめ

金属凝集法を用いた転写フリーグラフェンの作製において、熱処理による Ni 膜の結晶性向上が EBSD 分析により確認された。また、結晶性の向上したグラフェン膜を用いることで、転写フリーグラフェン FET における電気特性の向上が確認された。

5. 参考文献

- [1] K. Banno, et al. APL 103, 082112 (2013).
- [2] M. Miyoshi, et al. MRX 2, 015602 (2015).
- [3] M. Miyoshi, et al. APL 107, 073102 (2015).
- [4] M. Miyoshi, et al. APL 110, 013103 (2017).
- [5] S. Entani, et al. J. Appl. Phys. 111, 064324 (2012)
- [6] 小林幹, 他, 第 80 回応用物理学会, 21a-PB1-42 (2019).
謝辞: 本研究の一部は JSPS 科研費 19K04531 の支援を受けて実施された。