

ゲート絶縁膜転写とPVAドーピングによるトップゲート MoS₂ FET の作製

Transfer printing of gate dielectric and PVA doping for fabrication of top-gate MoS₂ FET

東工大量子ナノ研 ○川那子高暢, 松崎貴広, 小田俊理

Tokyo Tech. QNERC °T. Kawanago, T. Matsuzaki, S. Oda

E-mail: kawanago.t.ab@m.titech.ac.jp

【はじめに】層状半導体材料である二硫化モリブデン(MoS₂)は、ダングリングボンドのない表面構造とバンドギャップを持つことから、電界効果トランジスタ(FET)のチャネル材料への応用が期待されている[1]。一方バルク材料と全く異なり、高温、高エネルギープロセスはMoS₂の層状結晶構造を破壊するため、MoS₂のFET応用へ向けて、ゲートスタック構造及び低コンタクト抵抗の両方をダメージフリーで作製する事が重要である[1]。本研究では、原子層堆積法によるゲート絶縁膜をMoS₂表面に転写することでトップゲート構造を作製した[2]。加えて、polyvinyl alcohol (PVA)を塗布し[3]、MoS₂への界面キャリアドーピングを行った。これらの手法により MoS₂ FET を作製し、その特性を評価したので報告する。

【実験方法】図1に作製プロセスを示す。SiO₂/Si 基板上にリソグラフィとリフトオフを用いて Au(40nm)/Ti(10nm)のソース/ドレインを作製した。その後、PDMS スタンプとマイクロマニピュレータを用いて、機械的に剥離した MoS₂をソースとドレイン電極の間に転写した。続いて、ゲート絶縁膜転写法を用いて MoS₂表面上にトップゲート構造を作製した。ゲート電極をマスクにして1% HF により絶縁膜を除去した後、PVA(10 wt%)をスピンコートによって基板上に塗布し、チャネル領域にはドーピングを行わない自己整合的な手法を用いた。熱処理後に、電気特性を測定した。

【実験結果】図2に、作製した MoS₂ FET の I_d-V_d 特性を示す。図2に示すドレイン電流には揺らぎやノイズは確認できないことから、正常かつ良好な FET 動作を観測した。これは、PVA によって MoS₂ 中のキャリア濃度が増加したことによってコンタクト抵抗が低減したためと考えられる。一方、図1に示すデバイス構造からも分かるように、ゲートスタック直下のチャネル領域には、ゲート絶縁膜が存在するためPVAはMoS₂に接触していない。故に、チャネル領域にはキャリアドーピングが行われていないために、電界効果による空乏層制御によって正常な FET 特性が得られている。物理分析などの詳細は当日報告する。

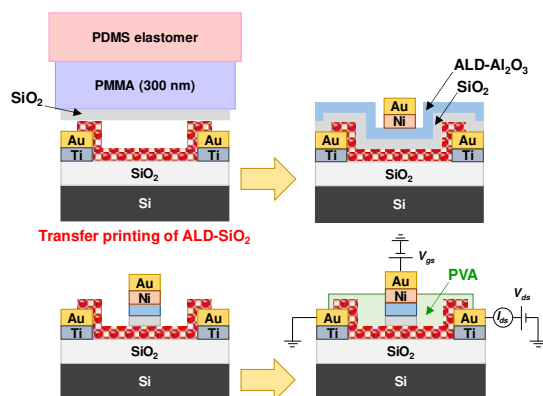


Fig.1 Fabrication process of MoS₂ FET.

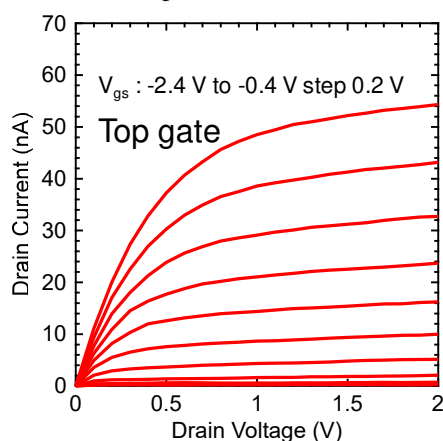


Fig.2 I_d-V_d characteristics of fabricated MoS₂ FET with PVA.

【参考文献】

- [1] B. Radisavljevic et al., Nature Nanotech. 6, 147 (2011).
- [2] T. Kawanago et al., Appl. Phys. Express 12, 026501 (2019).
- [3] C. J. Lockhart de la Rosa et al., Nanoscale 9, 258 (2017).

【謝辞】本研究に関して日頃よりご指導、ご協力頂いた東京工業大学の河野行雄准教授に感謝いたします。本研究は、JST-CREST (JPMJCR16F4) 及び科研費若手(B)(17K14662)の支援により実施された。また素子作製は、東京工業大学の角嶋邦之准教授、筒井一生教授、若林整教授にご協力いただいた。