

2 種類のストレージ・クラス・メモリで構成したストレージシステムの データ追い出し間隔自動調整アルゴリズム

Data-eviction Self-adjusting System for Storage System

Composed of Two Types of Storage Class Memory

○金田 凌賀¹, 木下 怜佳¹, 松井 千尋², 竹内 健^{1,2} (中大理工¹, 中央大学研究開発機構²)

°Ryoga Kaneda¹, Reika Kinoshita¹, Chihiro Matsui² and Ken Takeuchi^{1,2}

(Chuo Univ.¹, Chuo Univ. Research and Development Initiative²)

E-mail: kaneda@takeuchi-lab.org

1. はじめに

半導体ストレージシステムを構成するストレージとして、NAND 型フラッシュメモリより高速であるストレージ・クラス・メモリ (SCM) が期待されている。SCM は、アクセスの速い Memory-type SCM (M-SCM) と容量の大きい Storage-type SCM (S-SCM) の 2 種類に分類できる。M-SCM の例としては抵抗変化メモリ (ReRAM)、S-SCM の例としては相変化メモリ (PRAM) が挙げられる。Fig.1 のように ReRAM は書き換え回数が増えるとデータ保持信頼性が低下する[1]。また、データ保持信頼性を保障するとストレージ性能が低下してしまう。本研究では、M-SCM と S-SCM のみで構成されたマルチ SCM ストレージシステム[2]において、データ追い出し間隔を自動調整することによりストレージ性能とデータ保持信頼性の両立を図る。また、M-SCM の容量によるデータ保持信頼性の変化を評価した。

2. マルチ SCM ストレージにおけるデータ追い出しアルゴリズム

Fig. 2 に Non-volatile Write-back (NV-WB) [3] のアルゴリズムを示す。M-SCM は不揮発性キャッシュ、S-SCM はストレージとして用いられる。ホストからの書き込みはすべて M-SCM に集中する。そのため、ReRAM を M-SCM として使用するためにはデータ保持信頼性を考慮したアルゴリズムが必要である。先行研究[4]ではキャッシュに書き込まれたデータは一定間隔ですべてストレージに追い出すアルゴリズムを提案している。ストレージのデータは上書きされることでデータ保持時間がリセットされるが、上書きが多い場合にはデータ保持時間が短くなるため追い出しの間隔を長くできる。対して、上書きが少ない場合にはデータ保持時間が長くなるため追い出しの間隔を短くする必要がある。このトレードオフを解決するため、M-SCM 内データのデータ保持時間に応じて追い出し間隔を自動調整する[5]。

3. マルチ SCM ストレージの性能評価

本研究では、マルチ SCM ストレージにおける最大のデータ保持時間と 1 秒間あたりの入

出力回数(IOPS)を、M-SCM の容量と追い出し時に残すデータ容量を変えてワークロード[6]ごとに評価した。

結果として、上書きの多いワークロードでは、IOPS を大きく下げることなく最大データ保持時間を短縮できた。上書きの少ないワークロードでは IOPS は低下したが、最大データ保持時間も短縮できた。

4. まとめ

マルチ SCM ストレージにおいて、M-SCM の書き換え回数が多いときのデータ保持信頼性とストレージ性能のトレードオフを考慮したアルゴリズムの評価を行った。データ追い出し間隔を自動調整することで、どのワークロードでも性能を大きく落とすことなく最大データ保持時間を短縮できた。

謝辞

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務の結果得られたものです。

参考文献

- [1] S. Fukuyama *et al.*, *IRPS*, 2019, pp. 7C.3-1-7C.3-6.
- [2] R. Kinoshita *et al.*, *NVMTS*, 2018, pp. 1-4.
- [3] S. Okamoto *et al.*, *IMW*, 2015, pp. 157-160.
- [4] A. Suzuki *et al.*, *NVMTS*, 2018, pp. 1-5.
- [5] R. Kinoshita *et al.*, *ASP-DAC*, 2020, pp. 319-324
- [6] MSR Cambridge Traces, <http://iotta.snia.org/traces/388>.

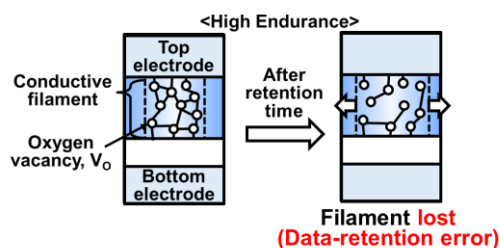


Fig. 1 Physical model of ReRAM with high endurance cycle.

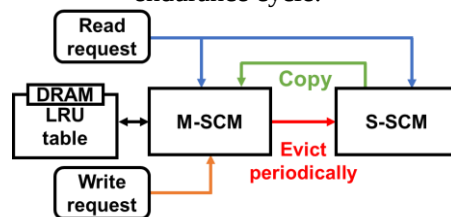


Fig. 2 NV-WB algorithm