

# Double Asymmetric-latency SCMs SSD 向け書き込みと読み出しの頻度を考慮したデータ管理アルゴリズム

## Data Management Algorithm Considering Write and Read Frequency for Double Asymmetric-latency SCMs SSD

○日根 優作, 覺田 恭生, 木下 怜佳, 竹内 健 (中大理工)

○Yusaku Hine, Yoshiki Kakuta, Reika Kinoshita, Ken Takeuchi (Chuo Univ.)

E-mail: hine@takeuchi-lab.org

### 1. はじめに

ソリッド・ステート・ドライブ(SSD)に用いられる記憶素子としてストレージ・クラス・メモリ(SCM)が注目されている。SSDに一般的に用いられているNAND型フラッシュメモリと比較して SCM は高速に動作するが、データ保障のためにベリファイ書き込みや誤り訂正符号(ECC)などのエラー低減手法を用いる必要がある。本研究では、ベリファイ書き込みとECCにより、書き込み速度と読み出し速度を非対称化した SCM を用いた Double Asymmetric-latency SCMs SSD[1]に向けたデータ管理アルゴリズムを提案し、SSD 性能への影響を評価した。

### 2. ベリファイ書き込みと ECC 強度

ベリファイ書き込みは書き込み時のエラーを低減する書き込み手法である。Fig. 1 にベリファイ書き込みの動作を示す[2]。データの書き込み時に正しく書き込みができたか確認をする読み出しを行い、書き込みが成功するまで、もしくは規定の回数に達するまで書き込みと読み出しを繰り返す。この手法によりエラーを低減することができるが、書き込み時により多くの時間がかかってしまう。ECC はデータを読み出すときに、エラーを検出して訂正する手法である。ECC はデータの書き込み時に冗長ビットを付与する符号化を行い、読み出し時に符号化したデータを復号する。このとき、Fig. 2 に示すように復号にかかる時間は訂正可能ビット数を増やすことで長くなる[3]。SCM には以上の 2 つのエラー低減手法を適用できるが、一定の信頼性を保障するためには、ベリファイ書き込み回数を少なくする場合、ECC の訂正可能ビット数を増やす必要がある。その場合、書き込み速度は速くなるが、読み出し速度は遅くなる。逆もまた同様である。

### 3. Double Asymmetric-latency SCMs SSD

Fig. 3 に Double Asymmetric-latency SCMs SSD の構成を示す。Double Asymmetric-latency SCMs SSD は 2 種類の SCM から構成される。1 つはベリファイ書き込み回数を少なくし、ECC 強度を強くした Fast-write SCM (W-SCM) と、もう 1 つはベリファイ書き込み回数を多くし、ECC 強度を弱くした

Fast-read SCM (R-SCM) である。提案するデータ管理アルゴリズムはデータに対する書き込みと読み出しの頻度を考慮して、Write-hot なデータは W-SCM に保存し、Read-hot なデータは R-SCM に保存する。これにより、信頼性を保障した上で高速な動作が可能である。データへの書き込みと読み出しを単一の SCM で処理する従来の Single SCM SSD[4]と比較して、SSD 性能を評価した。また、シミュレーションのワークロードには書き込みが多いワークロードと読み出しが多いワークロードを用いた[5]。

### 4. 結論

書き込みと読み出しの頻度を考慮したデータ管理アルゴリズムを Double Asymmetric-latency SCMs SSD に適用した。また、提案する構成の SSD と Single SCM SSD を比較し、SSD 性能を評価した。

### 謝辞

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務の結果得られたものです。

### 参考文献

- [1] Y. Adachi *et al.*, *VLSI-DAT*, 2018, pp. 1-4.
- [2] S. Ning *et al.*, *JJAP*, vol. 53, no. 4S, 2014, pp. 04ED09-1-04ED09-7.
- [3] H. Takishita *et al.*, *SNW*, 2016, pp. 1-2.
- [4] H. Takishita *et al.*, *NVMW*, 2017.
- [5] MSR Cambridge Traces, <http://iotta.snia.org/traces/388>.

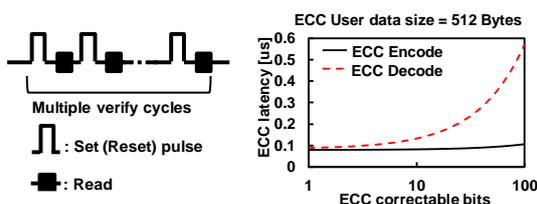


Fig. 1 Verify operation [2]

Fig. 2 ECC encode and decode time [3]

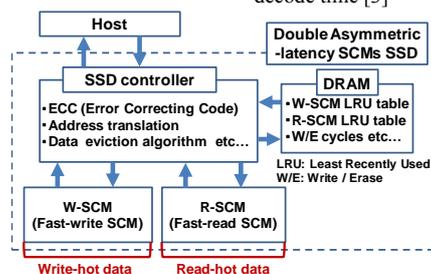


Fig. 3 Architecture of Double Asymmetric SCMs SSD [4]