

積層 a-Si/SiN/a-Si バリスタを有するビアスイッチ素子の開発

Development of Via-Switch with Multi-Layered a-Si/SiN/a-Si Varistor

NEC¹, 阪大² ◯井口 憲幸¹, 伴野 直樹¹, 岡本 浩一郎¹, 沼田 秀昭,

橋本 昌宜², 杉林 直彦¹, 阪本 利司¹, 多田 宗弘¹

NEC Corp.¹, Osaka Univ.² ◯Noriyuki Iguchi¹, Naoki Banno¹, Koichiro Okamoto¹,

Hideaki Numata¹, Masanori Hashimoto², Tadahiko Sugibayashi¹,

Toshitsugu Sakamoto¹, and Munehiro Tada¹,

E-mail:n.iguchi@nec.com

【緒言】原子スイッチはイオン電導体内の Cu 架橋の形成・消滅を利用した不揮発、低電力かつ小型なスイッチであり、FPGA のクロスバースイッチに適用することにより不揮発 FPGA を高性能・高集積化できる。更に原子スイッチを二つ向けに接続した CAS (Complementary Atom Switch) [1] に 2 つの選択素子 (バリスタ) を適用した「ビアスイッチ」(図 1) は、FPGA クロスバースイッチのクロスポイントにおいて、2 つのバリスタに接続された 2 本の制御線を用いてプログラムすることで、選択トランジスタを用いずに同じ線上のスイッチを複数プログラムすることができる。これによりクロスバースイッチのマルチファンアウトが可能となり、従来の不揮発 FPGA の機能を維持したまま、より高集積化できる。本研究では、高オフ抵抗、ON/OFF 抵抗比を示す高非線形性 (Nonlinearity : NL) を有するバリスタについて a-Si/SiN/a-Si 構造を提案した。さらに SiN 層を窒素含有量の異なる 3 層で構成した構造を検討し、非線形性の評価を行った[2,3]。

【実験方法】65nm-node Cu 配線中にビアスイッチの選択素子を形成した。開口した Cu 配線に金属酸化物の buffer 層、イオン伝導層の PSE (Polymer-Solid Electrolyte) [4]、Ru 合金電極、バリスタ層となる a-Si/SiN/a-Si、上部電極である TiN を堆積した。窒素量の異なる 3 層 SiN 構造は PECVD 法にて成膜時のガス流量を変えることで SiN の窒素含有量をコントロールした。初期評価、物性分析では 300nm ウェハ上にバリスタ構造を形成した。

【結果と考察】シミュレーションにより、ビアスイッチの目標消費電力を 0.2uW 以下、バリスタのオン電流 500uA、オン電圧を 2.0V、オフ電圧を 0.25V としたとき、バリスタに必要な NL は 10^5 以上と算出された。まず SiN 単層で NL を観測したところ、NL は目標を満たさなかった。そこで、a-Si で SiN を挟むことでバリアハイトを階段状にする方法を検討したところ、オフ電流が下がり NL の向上が観測された (図 2)。さらなる NL 向上のため、高窒素濃度 SiN の薄膜を低窒素濃度 SiN で挟んだ 3 層 SiN を検討したところ 10^5 以上の NL が得られた (図 2)。ここで、X 線光電子分光 (XPS) と X 線吸収微細構造 (XAFS) により高窒素濃度 SiN と低窒素濃度 SiN のバンドギャップを比較し、高 NL 化のメカニズムを調べたところ、低電圧時は階段状のバリアハイトと高窒素濃度 SiN バンドギャップにより電流が抑制され、高電圧時は薄膜化したバンドギャップをトンネル電流が流れることにより大きなオン電流が得られることがわかった。また、Cu 配線中に形成した 3 層 SiN を用いた a-Si/SiN/a-Si バリスタを評価したところ、 $1.63\text{MA}/\text{cm}^2$ の最大電流密度 (J_{max}) が観測され、 1.1×10^5 の NL を達成した。このバリスタによりビアスイッチ不揮発性 FPGA の高機能、高集積化が実現されることが期待できる。

【謝辞】本研究は科学技術振興機構 戦略的創造研究推進事業 CREST(JPMJCR1432)の支援によって行われた。

【参考文献】[1] M. Tada, et al., IEEE TED, vol.59, p.2357 (2012). [2] N. Banno, et al., Tech Dig. IEDM, p.32 (2015). [3] N. Banno, et al., Tech Dig. IEDM, p.424 (2015). [4] M. Tada, et al., IEEE TED, vol.58, p.4398 (2011).

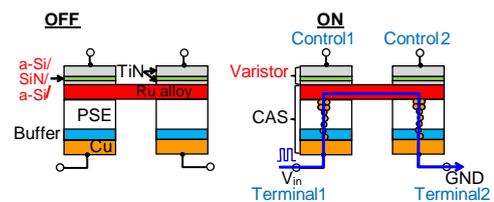


図 1 ビアスイッチ構造

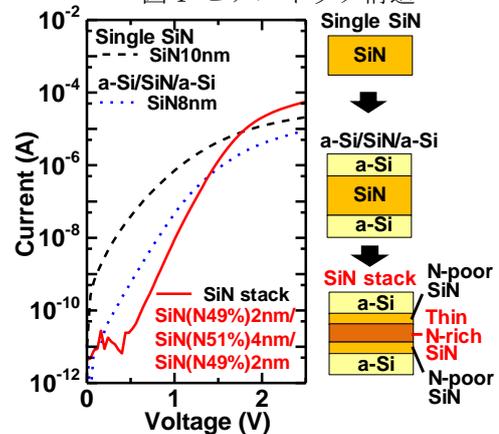


図 2 a-Si/SiN/a-Si の I-V 特性