

チャージポンピング法による単一 P_{b1} センターの検出

Detection of a P_{b1} center by the charge pumping method

静大電研 ○土屋敏章, 堀 匡寛, 小野行徳

Shizuoka Univ., ○Toshiaki Tsuchiya, Masahiro Hori, Yukinori Ono

E-mail: tsuchiya.toshiaki@shizuoka.ac.jp

Si/SiO₂系における MOS 界面トラップの正体は Si ダングリングボンド (P_b センター) であり, (100)Si を用いた場合には P_{b0} と P_{b1} の 2 種が存在しているものの, P_{b0} センターが主であると考えられている [1-3]. 我々はこれまでにチャージポンピング (CP) 法による単一界面トラップの体系的な評価法を確立し, トラップ 1 個当たり 2 つの電子準位が関与していること, したがって, トラップ 1 個から測定される CP 電流は fq (f : ゲートパルス周波数, q : 電気素量) 一定ではなく $0 \sim 2fq$ の様々な値になることを示すと共に, 単一トラップ (2 電子準位) の準位密度分布 (DOS) などを実験的に明らかにしてきた [4-7]. 単一界面トラップが 2 電子準位を有することは, ドナー型とアクセプタ型の両性 (amphoteric nature) を有する P_{b0} センターと矛盾しない. また, 単一トラップ (2 電子準位) の DOS が 2 つのピークを有し, そのピーク高さの相対関係やエネルギー位置が, 大面積 MOS の ESR と CV 法によって得られた P_{b0} センターの DOS [2] と極めて良い一致を示している. したがって, 我々が CP 法によって検出・評価してきた単一界面トラップの正体は P_{b0} センターであると結論付けて矛盾は無い.

しかし, P_b センターの内 20 % 程度は P_{b1} と予想されるため [3], 今回, その検出を試みた. P_{b0} センターの 2 電子準位はバンドギャップ中央 (E_i) の上方と下方に各 1 個存在し, P_{b1} センターでは 2 電子準位共に E_i より下方に存在すると考えられ, CP 法では P_{b0} と P_{b1} センターの判別が困難な 2 電子準位エネルギー位置の組合せもある. 今回, 多数の単一界面トラップを測定し, 判別可能な P_{b1} センターの検出に成功したので報告する.

図 1(a) と (b) に単一界面トラップの CP 電流に対するゲートパルス立上り時間 t_r および立下り時間 t_f 依存性を示す. なお, このトラップが単一であることは, 上記体系的評価法 [4] によって確認している. また, これらの図の CP 電流は, 含まれていたリーク電流成分を補正している (最大 CP 電流 I_{CPMAX} 付近で約 2 fA の補正). 図 1 から, CP 電流が t_f には依存せず, t_r に依存しており, t_r の増大と共に減少していることがわかる. 急峻な $t_r=80$ ns の場合には $I_{CPMAX}=41$ fA と fq (=32 fA) 以上であり 2 電子準位の両者が CP 電流に寄与している. $t_r=1200$ ns では 19 nA と fq 以下にまで減少しており, t_r 依存性が無いことを合わせ考えると, E_i の上方には電子準位が存在していないと判断できる. したがって, この単一トラップの 2 電子準位は, 図 2 に示すように両者が ΔE (CP 法で検出できるバンドギャップ内のエネルギー範囲) の下端付近に位置していることになる. つまり, 2 電子準位の両者が E_i の下方に存在しており, このトラップは P_{b1} センターであると判断できる.

参考文献

- [1] P. M. Lenahan and P. V. Dressendorfer, App. Phys. Lett. 44(1), 1 Jan. 1984.
- [2] P. M. Lenahan et al., IEEE Trans. Nucl. Sci. 48(6), p. 2131, Dec. 2001.
- [3] P. M. Lenahan, private communications.
- [4] T. Tsuchiya and Y. Ono, Jpn. J. Appl. Phys. 54, 04DC01, 2015.
- [5] T. Tsuchiya and P. M. Lenahan, Jpn. J. Appl. Phys. 56, 031301, 2017.
- [6] 土屋, 堀, 小野, 第 80 回応用物理学会秋季学術講演会, 19a-B11-9, 2019.
- [7] T. Grasser, T. Tsuchiya et al., "Noise in Nanoscale Semiconductor Devices," Springer, to be published in May 2020.

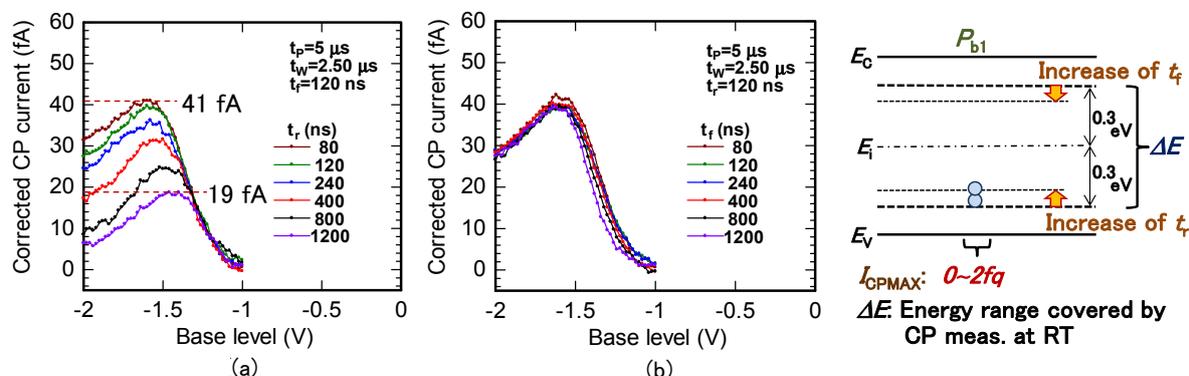


Fig. 1 Dependences of CP current of a single interface trap upon (a) fall time and (b) rise time of the gate pulse, respectively. They are corrected considering leakage current, which is around 2 fA near the base level showing the maximum CP current.

Fig. 2 Position of the two energy levels of the single interface trap within the silicon bandgap, concluded from the experimental results of Figure 1, which shows that the single trap is considered to be a P_{b1} center.