

PN-Body Tied SOI-FET での電流増幅効果の解析 -Bulk vs Surface 伝導の比較-

Analysis of Drain Current Enhancement Effect on PN-Body Tied SOI-FET

-Comparison of Bulk vs Surface Conduction-

金沢工大 ○伊藤 広喜, 井田 次郎, 森 貴之

Kanazawa Inst. of Tech., °Hiroki Ito, Jiro Ida, Takayuki Mori

E-mail: ida@neptune.kanazawa-it.ac.jp

1.はじめに

我々は、新構造の PN-Body Tied (PNBT) SOI-FET によってスイッチング特性の良さを示す Subthreshold Slope(SS) が MOSFET の理論限界である 60mV/dec を大きく下回することを示した[1]。また、PNBT SOI-FET の Body 端子に電圧を印加することで、ドレイン電流の増幅効果が確認されている[2]。

本稿では、N-channel PNBT SOI FET (PNBT NMOS) において、伝導モードでの I_d - V_g の形状に違いを明確にし、さらに、構造依存による伝導モードの比較を実測結果およびシミュレーション結果から報告する。

2.測定結果

図 1 に PNBT NMOS の概略図を示す。デバイス構造は、 $T_{ox}=4.4\text{nm}$, $T_{Si}=50\text{nm}$, $T_{Box}=200\text{nm}$ である。図 2 に I_d - V_g 特性における W_b 比較の(a)実測結果および(b)シミュレーション結果を示す。実測結果より、 $W_b=0.6\mu\text{m}$ ではドレイン電流が急峻に立ち上がった後、直角に近い傾きで流れる形状(Bulk モードと推定)を確認した。一方、 $W_b=1.8\mu\text{m}$ ではドレイン電流が急峻に立ち上がった後、曲率を持って通常 MOSFET のように立ち上がる形状(Surface モードと推定)を確認した。 I_d - V_g シミュレーション結果からも同様に、Bulk モードと Surface モードの形状を確認した。図 3 にシミュレーションによる T_{Si} の電子電流密度を W_b 構造で比較した結果を示す。 $W_b=0.2\mu\text{m}$ ではバルク全体に電子電流密度が分布しているのに対し、 $W_b=2.0\mu\text{m}$ ではゲート界面側の Surface に電子電流密度が高く分布し Bulk モードと Surface モードとなっていることが確認できる。以上、Bulk vs Surface モードでは、 I_d - V_g の形状に違いがあること及び、構造依存によって Bulk vs Surface モードの違いがでることも解った。

参考文献: [1] J. Ida et al., IEDM Tech. Dig., Washington, DC, USA, Dec. 2015, pp. 624–627. [2] T. Mori et al., IEEE SNW 2018.

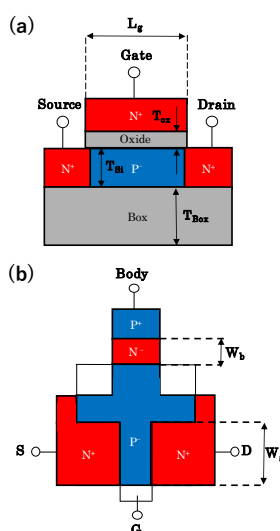


図 1 PNBT NMOS の概略図

(a)断面図 (b)上面図

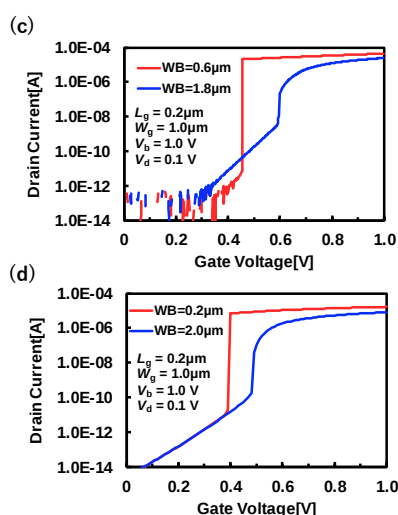


図 2 I_d - V_g 特性 W_b 比較

(c)実測結果 (d)シミュレーション結果

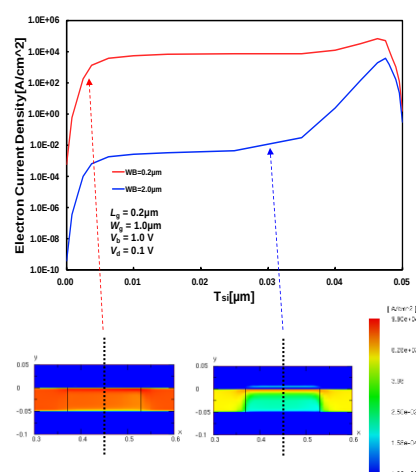


図 3 電子電流密度 W_b 比較