

高精度電流計測アレイテスト回路を用いた MIM 素子の大規模測定

Large-Scale Evaluation of MIM Devices Using High-Precision Current Measurement Array Test Circuit

Array Test Circuit

東北大院工¹, 広大ナノデバイス², 東北大 NICHe³ °鈴木 勇人¹, 朴 賢雨¹,

寺本 章伸^{2,3}, 黒田 理人^{1,3}, 諏訪 智之³, 須川 成利^{1,3}

Grad. Sch. Eng., Tohoku Univ.¹, Res. Inst. for Nanodevice and Bio Systems, Hiroshima Univ.²,

NICHe, Tohoku Univ.³, °Hayato Suzuki¹, Hyeonwoo Park¹, Akinobu Teramoto^{2,3},

Rihito Kuroda^{1,3}, Tomoyuki Suwa³, Shigetoshi Sugawa^{1,3}

E-mail: hayato.suzuki.q5@dc.tohoku.ac.jp

【はじめに】半導体デバイスの研究開発では素子単体の性能向上だけではなく、実用化を見据えたばらつきの低減、歩留まりの向上が強く求められている。そのため、研究開発段階の種々の材料・デバイスを簡便かつ大量・高精度に計測することの出来る技術が求められている。今回、我々の高精度アレイテスト回路計測技術^[1]を発展させて、簡便なプロセスにて様々な絶縁膜の MIM (Metal-Insulator-Metal) 素子の電流電圧特性を大規模かつ高速・高精度に計測する技術を開発したのでその原理と実験結果について報告する。

【原理】Fig. 1 に今回開発した高精度電流計測アレイテスト回路の断面構造を示す。製造工程は全サンプル共通の「プラットフォーム工程」と被測定対象である MIM 素子を作製する「追加工程」に別れている。プラットフォーム工程では電流を測定するアレイセル回路、周辺回路を作製する。追加工程では絶縁膜と上部電極のみを形成する。Fig. 2 に単位セルの回路図を示す。MIM 素子に電圧を印加すると、電流 I により容量 C の積分キャパシタに電荷が蓄積される。経過時間を Δt 、 Δt 経過後の蓄積電荷を ΔQ 、積分キャパシタの電圧変化を ΔV とすると、 $I = \Delta Q / \Delta t = C \Delta V / \Delta t$ となり、電圧変化の傾きから電流値が得られる。単位セルは二次元アレイ状に $360 \times 384 = 138,240$ 個並んでおり、走査回路により全セルの出力信号を一斉に読み出すことができる。

【実験】 $0.18 \mu\text{m}$ テクノロジーを用いたプラットフォーム工程後に追加工程として PECVD 法で成膜した EOT = 8.1 nm の SiN 膜を有する MIM 素子を作製した。Fig. 3 に MIM 素子に一定電圧を印加した際に得られた電圧波形の測定例を示す。時間経過とともに電圧値が線形に変化しており、MIM 素子を通れるリーク電流が観測されていることがわかる。Fig. 4 に 14 個の素子から抽出した I-V 特性の測定例を示す。各素子でそれぞれ異なる特性を示していることが確認できた。当日の発表では詳細な測定手法・結果および考察を報告する。

【参考文献】

[1] Y. Kumagai et al.: Jpn. J. Appl. Phys. **50** (2011) 106701.

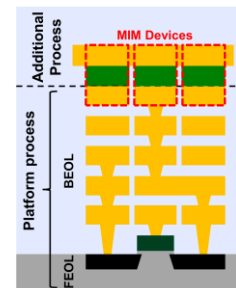


Fig. 1 Cross-Sectional Structure of Array Test Circuit.

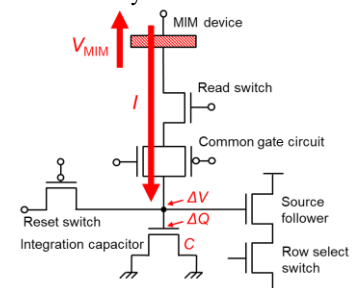


Fig. 2 Schematic of Unit Cell.

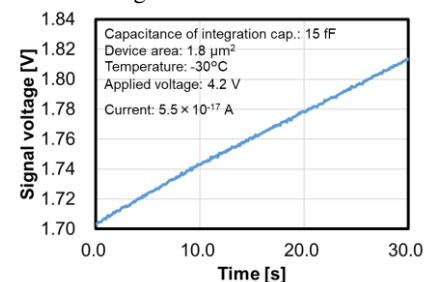


Fig. 3 Typical Signal Waveform of Output Voltage.

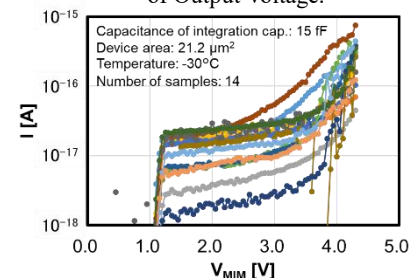


Fig. 4 Typical I-V Characters of MIM Devices.