極値理論を利用した最大 SRAM データ保持電圧の温度依存性の統計解析

Statistical Analysis of Temperature Dependence of Worst Case Data Retention Voltage in SRAM Using Extreme Value Theory

東大生研 [1]，東大 d.lab[2]　°水谷 朋子 [1]，竹内 潔 [1]，更屋 拓哉 [1]，小林 正治 [1,2]，平本 俊郎 [1]

[1]IIS, Univ. of Tokyo, [2]d.lab, Univ. of Tokyo °Tomoko Mizutani[1], Kiyoshi Takeuchi[1], Takuya Saraya[1], Masaharu Kobayashi[1,2], and Toshiro Hiramoto[1]

E-mail: mizutani@ nano.iis.u-tokyo.ac.jp

【はじめに】微細 SRAM アレイの最低動作電圧は，トランジスタ特性のランダムばらつきによってもたらされる最もバランスの悪いセルで決定される．全セルが同一分布関数に従えば，統計的に外挿することで最悪値の推定は可能だが，全セルの測定は現実的ではない．以前我々は，極値理論[1-4]を用いて，バルク SRAM の最悪ケースのデータ保持電圧 (DRV) の統計解析を行い，最悪ケースの DRV は Gumbel 分布に従うことを報告した[5]．本研究では SOTB SRAM に拡張した．さらに温度依存性を評価し，高温での大容量 SRAM の最悪 DRV を推定したので報告する[6]．

【測定方法】65nm 技術で作製した 6T-SRAM DMA-TEG[7]を用いて，16k バルクおよび SOTB SRAM セルの個々の DRV を測定した．DRV とはデータが正常に保持される最小の電源電圧 (V_{DD}) である．V_{DD} を下げる向きに掃引し，内部ノードの low サイドと high サイドが切り替わる V_{DD} 電圧を DRV と定義した．極値理論を適用するために，16k DRV データを，それぞれ 256 データを含む 64 ブロックに分割し，各ブロックの最大値 (最悪ケース) を抽出した．

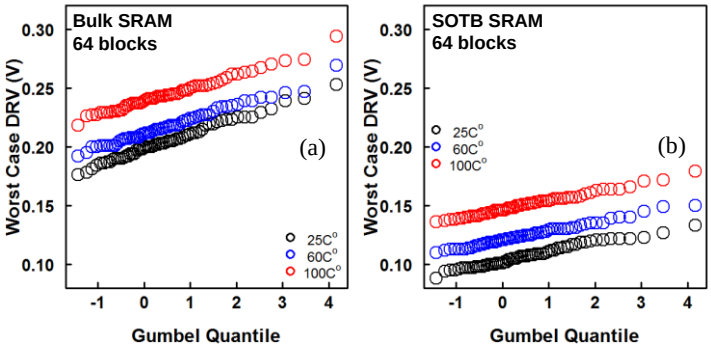

Fig.1. Gumbel quantile plots of the measured worst case DRV at various temperatures. 16k measured DRV data were divided into 64 blocks, each containing 256 DRV data. (a) Bulk and (b) SOTB SRAM cells.

【統計解析】図 1 に最悪ケースの DRV の Gumbel プロットを示す．全てのプロットはほぼ直線であり，Gumbel 分布に従っていることが示唆される．大容量 SRAM の最悪 DRV は，最悪ケースの DRV にフィッテングする Gumbel 分布関数を外挿することで推定できる (図 2)．SRAM 容量が増加すると，温度依存性 (25°C と 100°C の差) は SOTB SRAM の方がバルク SRAM より大きく，バルク SRAM では温度依存性が減少することがわかった．これらは，セルトランジスタの温度特性に起因すると考えられる．

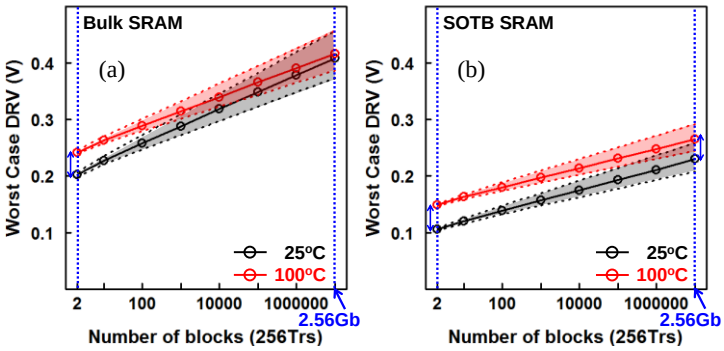

Fig.2. The extrapolated worst case DRV as a function of the number of blocks. The 95% confidence intervals by the delta method are also taken into account. (a) Bulk and (b) SOTB SRAM cells.

【まとめ】極値理論を用いて，バルク SRAM および SOTB SRAM の最悪ケースの DRV の統計解析を行い，高温での大容量 SRAM の最悪ケースの DRV が推定した．SRAM 容量が増加すると，バルク SRAM の DRV の温度依存性は弱くなることが推定されることがわかった．

【文献】[1] S. Coles, “An Introduction to Statistical Modeling of Extreme Values,” Springer, 2001. [2] R. Takahashi and T. Shimura, “Extreme Value Statistics (in Japanese)”, Kindai-Kagaku-sha, 2016. [3] E. Gilleland and R. W. Katz, JSS, vol. 72, p. 1, 2016. [4] R. L. Smith, *Biometrika*, vol. 72, p. 67. 1985. [5] T. Mizutani et al., Silicon Nanoelectronics Workshop, p. 25, 2019. [6] T. Mizutani et al, SSDM, p. 561, 2019. [7] T. Hiramoto et al., IEEE TED, vol. 58, p. 2249, 2011.

© 2020年 応用物理学会