新型擬似不揮発性 SRAM セルの提案

Proposal of a new virtually nonvolatile SRAM cell

東工大未来研　吉田隼，北形大樹，山本修一郎，菅原聡
H. Yoshida, D. Kitagata, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.
E-mail : yoshida.h.ao@m.titech.ac.jp

【はじめに】パワーゲーティング(PG)は，近年のマイクロプロセッサや SoC などの CMOS ロジックシステムに標準的に搭載されている待機時電力の削減技術である[1]．しかし，ロジックシステム内の記憶回路が揮発性記憶回路で構成されているため，電源遮断時におけるデータ保持/待避が必要となり，これが PG のエネルギー削減効率を制約している．したがって，ロジックシステム内の記憶回路の不揮発化は PG の高効率化に有効になると考えられる．しかし，不揮発性メモリ素子を用いると，この書き込みエネルギー/レイテンシ，および CMOS ロジックへの不揮発性メモリ素子のエンベディッド技術が課題になる．そこで，我々は CMOS のみで構成され，極めて微小な電圧(ULV)を用いてデータを保持することで PG を実現できる擬似不揮発性 SRAM(VNR-SRAM)を提案してきた[2]．VNR-SRAM はシュミットトリガインバータを用いて構成され，そのフィードバック(FB)効果によって安定に ULV リテンション(ULVR)を実現する．これまでに提案したセル[3]では nMOS を用いて FB を行っていたため，ULV では FB 効果が必ずしも十分ではない．本報告では，ULVR の安定性を向上できる pMOS で FB を行う新型 VNR-SRAM セルを提案する．

【セル構成】図 1 に新型 VNR-SRAM セルの回路構成を示す．セルはデュアルモードインバータ(M_{LD}, M_{DRV}, M_{FB})とパストランジスタ(M_B)から構成される．これまでの VNR-SRAM セルでは，M_{FB} を nMOS としていたが，これを図のように pMOS に置き換え，そのゲート入力を他方のインバータの出力に接続する．この構成では FB によるプルアップを pMOS で実現できるため，ULV でも安定性を向上できる．このセルにヘッダパワースイッチ(HPS)または HPS/フッタ PS(FPS)の両方(DPS)を用いて電力を供給する．図の VV_{DD}, VV_{SS} はこれらの PS によって生成される仮想電源電圧，仮想接地を表す．CTRL Drv.は DPS 構成においてセルを従来の SRAM と同等の動作が可能なブースト・インバータ(BI)モードと，ULVR が可能なシュミットトリガ(ST)モードを切り替えるために用いる．HPS 構成では常に一定のバイアスを M_{FB} に加える(CTRL Drv.を用いない)．この場合，VV_{DD} が高いときには BI モード，低いときには ST モードに自動的に切り替わる．HPS, DPS 構成のどちらの場合でも ULVR 時にセルにかかる電圧は 0.2V である．

【解析結果】HSPICE を用いてセルの設計と動作解析を行った．デバイスには 65nmCMOS プロセスの LP モデルを用いた．それぞれの PS 構成でセルの最適設計を行い，ULVR のノイズマージン(SNM)を評価した．図 2 に HPS 構成の 6T-SRAM セル，HPS および DPS 構成の VNR-SRAM セルにおける ULVR 時の SNM を示す．VNR-SRAM セルではどちらの構成においても 80mV を超える十分なマージンが確保できる．特に，DPS 構成では HPS 構成と比べて全体的にマージンが向上する．これらの値は nMOS を FB に用いた VNR-SRAM セルの SNM より大きい．一方，6T セルの SNM は全体的に低く，ワーストケースのプロセスコーナーでは 30mV 程度である．図 3 に HPS および DPS 構成の VNR-SRAM セルにおける ULVR 時のリーク電力を示す．同図には HPS 構成の 6T-SRAM セルにおけるスリープ時，強磁性トンネル接合(MTJ)を用いた NV-SRAM セル[4]における電源遮断時のリーク電力も示す．6T-SRAM セルはスリープモードによってリーク電力を削減できるが，その削減率は 40%に留まる．HPS 構成の VNR-SRAM セルは 6T-SRAM のスタンバイ電力と比べて 93.9%もの電力を削減できる．さらに，DPS 構成ではボディバイアスを効果的に用いることで 99.0%の削減率が得られる．これは NV-SRAM の電源遮断時のリーク電力(99.6%)に匹敵する．したがって，新構造の VNR-SRAM セルは ULV におけるノイズマージンの向上と，リーク電力の大幅な削減が可能であることから，擬似不揮発記憶を用いた PG に有効である．

【謝辞】本研究の一部は東芝メモリ奨励研究の援助を受け実施された．シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである．

【参考文献】[1]Y.Kanno *et al.*, IEEE J. Solid-State Circuits, **42**, 1, pp. 74-83, 2007. [2]D.Kitagata *et al.*, IEEE SNW p2-17, 2018. [3]吉田隼他，第 66 回応用物理学会春期学術講演会，20a-CE-6, 2019. [4]D.Kitagata *et al.*, JJAP, **58**, SB, pp.SBBB 12/1-10, 2019.

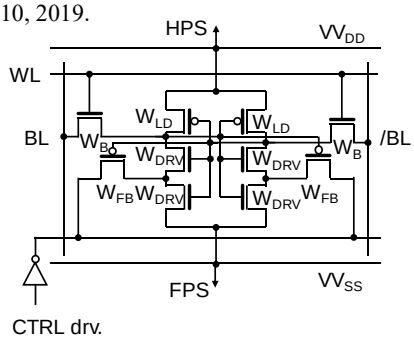

図 1 新型 VNR-SRAM セル(DPS 構成)

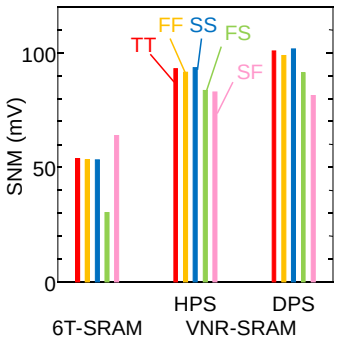

図 2 各セルの SNM

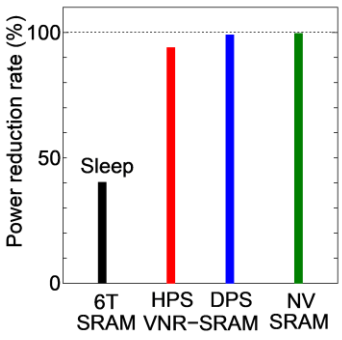

図 3 各セルのリーク電力