

浮遊ゲート電位の測定による 2D メモリデバイス動作の理解

Understanding the operation of 2D memory device by measuring floating gate voltage

東大¹, NIMS² ○佐々木 太郎¹, 谷口 尚², 渡邊 賢司², 西村 知紀¹, 長汐 晃輔¹

○ Taro Sasaki¹, Takashi Taniguchi², Kenji Watanabe², Tomoki Nishimura¹, and Kosuke Nagashio¹

E-mail: sasaki@ncd.t.u-tokyo.ac.jp

【緒言】 従来の Si 系不揮発性メモリと比較して、高い書き換え耐性が期待される二次元層状界面を利用した不揮発性メモリに関する研究が盛んである^[1,2]。メモリの基本動作は、チャンネルと浮遊ゲート(FG)間の双方向トンネル現象によって概説される。しかし、トンネルキャリアの極性や、 I_d - V_{BG} の双方向掃引時における FG 電位変化等、詳細な理解に至っていないため、2D メモリの材料設計が困難な状況である。様々な 2D チャンネル材料があるが、代表的な MoS_2 は強いフェルミレベルピンニングにより金属電極のフェルミ準位が伝導帯にのみ接続するため、トンネルキャリアの極性を理解するためのモデル材料として適さない。そこで、両極性動作を示し価電子帯・伝導帯両方に接続可能な WSe_2 を選択した。本研究では、FG に外部電極を付与することで 2D 積層構造内でのトンネル電流と双方向掃引時の FG 電圧(V_{FG})とを測定し、 V_{BG} と V_{FG} の関係からメモリ動作を理解することを目的とした。

【実験方法】 90 nm SiO_2/n^+ -Si 基板の上に、PDMS を用いた積層手法により $\text{WSe}_2(4.5 \text{ nm})/h\text{-BN}(9.3 \text{ nm})/\text{Graphite}(9.2 \text{ nm})$ 積層構造を作成し、最後に Ni/Au 電極を形成した。二次元積層構造内でのみトンネルが起こるよう Graphite と S/D 金属電極がオーバーラップしない構造とした。

【結果及び考察】 デバイスの模式図と実写真を Fig. 1 に示す。 V_{BG} を固定し、FG に電圧を印加することで 2D 積層構造内のトンネル電流を測定した。 V_{FG} 正領域では、7 V 付近でトンネル電流が流れ始め、逆に、 V_{FG} 負領域では、 -6.5 V 付近でトンネル電流が流れ始めることを確認した。

次に、 I_d - V_{BG} 特性と V_{FG} を同時に測定した結果を Fig. 2(a) に示す。 V_{BG} を -30 V から掃引開始すると、 SiO_2 と $h\text{-BN}$ の容量結合により、 V_{FG} が V_{BG} と共に増加する (①)。 V_{FG} が 7 V のトンネル開始電圧を超え、かつチャンネルが n 型となるとトンネルが起こり、 V_{FG} がほぼ飽和する (②)。これは V_{FG} が増加しても、トンネルにより V_{FG} が減少するフィードバックが掛かるためと考えられる。このとき、FG 直上のチャンネルは V_{BG} で変調されずアクセス領域のみ変調されるため I_d の立ち上がりは緩やかとなる。①、②に対応するバンド図を Fig. 2(b) に示した。逆に、 V_{BG} を +30 V から負方向へ掃引すると、はじめは容量結合で V_{FG} が減少する (③)。このとき、アクセス領域だけでなく FG 直上のチャンネルも FG からの電界により変調されるため、 I_d の立ち下がり急峻になる。チャンネルが p 型となるとトンネルがはじまり、 V_{FG} がトンネル開始電圧まで戻る (④)。

以上より、FG 電位測定により、トンネル開始以降 FG 電位が固定されるため、 V_{BG} の掃引方向により I_d のサブスレッショルド領域の傾きに差ができることがわかった。メモリ動作時の伝達曲線は FG 電位に大きく依存することが理解でき、本手法は 2D メモリの材料設計に重要な役割を果たすと言える。

【参考文献】 [1] D. Qiu *et al.*, *Nano Res.*, **9**, 2319, 2016. [2] M. Sup Choi *et al.*, *Nat. Commun.*, **4**, 1624, 2013. [3] Y. Hattori *et al.*, *ACS Appl. Mater. Interfaces*, **10**, 11732, 2018. **【謝辞】** 本研究の一部は JSPS 科研費、「研究拠点形成事業 (A.先端拠点形成型)」、キオクシア株式会社(旧社名東芝メモリ株式会社)により助成を受けた。

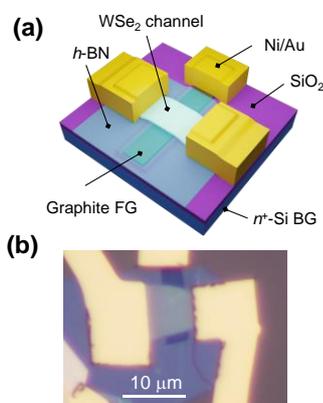


Fig. 1 (a) Schematic and (b) optical image of device.

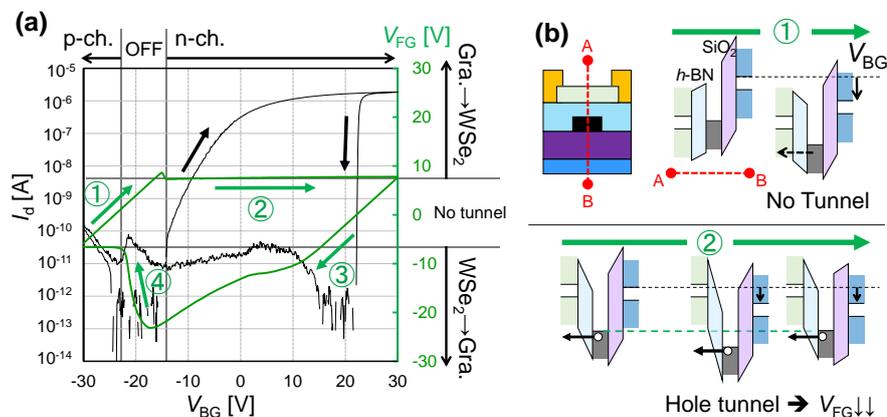


Fig. 2 (a) I_d and V_{FG} as a function of V_{BG} and (b) band diagram of ① and ② in (a).