

## GOI 基板作製における貼り合わせ後熱処理の影響

### Influences of thermal annealing after bonding on GOI fabrication

東京都市大 総研 ○柴田 翔吾、石川 亮佑、星 裕介、澤野 憲太郎

Adv. Res. Lab., Tokyo City Univ. ○S. Shibata, R. Ishikawa, Y. Hoshi and K. Sawano

E-mail: g1881238@tcu.ac.jp

#### 1, はじめに

高移動度 CMOS チャネルや光配線に向けた発光源として Ge が期待されている。特に Ge を Si 基板上にエピ成長させることで、Ge に引っ張り歪みが導入され大きな発光効率増大が可能となる。しかしながら、Ge/Si 界面近傍では、歪み緩和に伴う転位などの欠陥が高密度に発生してしまい、その悪影響を回避するためには、貼り合わせ法による Ge-on-Insulator (GOI) 構造が有望である [1, 2]。本構造では、エッチングストップ層として SiGe 層を挿入することで、非常に薄膜な GOI の作製も可能となる。しかしながら、薄膜化するにつれ、貼り合わせ界面で発生する多数のボイドの影響が顕在化する。本研究では、ボイドの発生を抑制し、高品質な薄膜 GOI 構造の実現を目指し、貼り合わせ後の熱処理条件について詳細に調べたので報告する。

#### 2, 実験方法、結果及び考察

Fig. 1 に Ge-on-Si の作製プロセスの概略の図を示す。Si (100) 基板上に、固体ソース MBE を用いて 2 段階成長法により、Ge-on-Si (LT-Ge 層 40 nm + HT-Ge 層 500 nm) を成長した。続いてエッチングストップ層としての SiGe 層 (15 nm)、トップ Ge 層 (100 nm) を成長温度 450°C で成長させた。この試料と、熱酸化により酸化膜を形成した Si 基板をアンモニア溶液処理後、室温で直接貼り合わせた。その後貼り合わせ圧力約 2370Pa を加えながら、250°C ~ 300°C で 2 ~ 5 時間のプレアニールを行った。その後 2nd アニールを 750°C で 5 時間行った。各アニールは、1 時間かけて設定温度まで上昇させた。

Fig. 2 に Si 基板を選択エッチングした直後の試料の表面写真を示す。プレアニール条件 250°C、2 時間の試料からは高密度のボイドが確認できるが、300°C、5 時間の試料ではほとんどボイドは見られず、非常に高品質な貼り合わせが実現していることが分かった。なお、2nd アニール後においても、前者の試料からボイドは低減しなかった。これより、プレアニールがボイド抑制に重要であることを示唆している。歪み状態や電気特性の詳細については当日報告する。

本研究の一部は科学研究費補助金 (16H02333, 19H02175, 19H05616)、文科省私立大学戦略的研究基盤形成支援事業の支援を受けて行われた。

[Ref] [1] Y. Hoshi et al., Appl. Phys. Express 5, 015701 (2012). [2] K. Sawano et al., Thin Solid Films 613, 24 (2016).

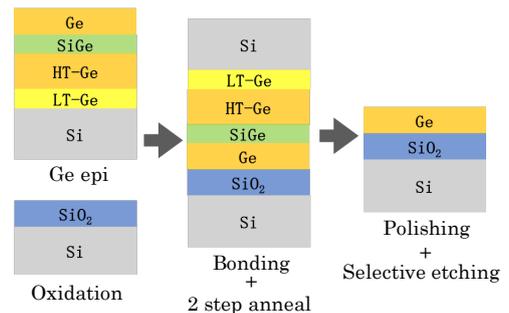


Fig. 1 Fabrication procedure of Ge-on-Insulator

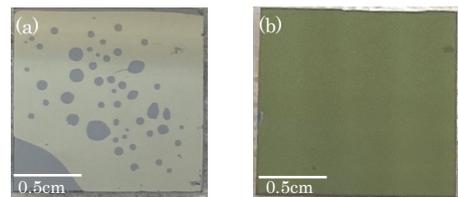


Fig. 2 Pictures of GOI samples with pre-anneal at (a) 250°C for 2h and (b) 300°C for 5h