

塗布型有機フローティングトランジスタメモリのデバイス特性 における半導体薄膜の分子配向性の影響

Influence of molecular orientation in semiconductor thin film on the device characteristics of solution-processed organic floating-gate transistor memories

大阪府大¹, 大阪府大 分子エレクトロニックデバイス研²

○服部 励太郎¹, 阿部 駿人¹, 東中屋 美帆¹, 永瀬 隆^{1,2}, 小林 隆史^{1,2}, 内藤 裕義^{1,2}

Osaka Pref. Univ.¹, RIMED²

○Reitaro Hattori¹, Hayato Abe¹, Miho Higashinakaya¹, Takashi Nagase^{1,2}, Takashi Kobayashi^{1,2},
Hiroyoshi Naito^{1,2}

E-mail: reitaro.hattori.oe@pe.osakafu-u.ac.jp

1. はじめに これまでに我々は、poly(3-hexthyl thiophene) を半導体層に用いたトップゲート有機電界効果トランジスタ (有機 FET) に poly(methyl methacrylate) (PMMA) と 6,13-bis(triisopropylsilyl ethynyl)pentacene (TIPS-pentacene) の混合体から成る有機フローティングゲート層 (有機 FG 層) を付加することで、照射によって動作する不揮発性有機メモリを塗布プロセスで作製できることを報告した[1]。また、有機 FG 層に少量の[6,6]-phenyl-C₆₁-butyric acid methyl ester (PCBM) を添加することでメモリ特性を大幅に改善できることを報告した[2]。本研究では、半導体層に poly[2,5-bis(3-tetradecylthiophen-2-yl)thieno[3,2-b]thiophene] (PBTTT-C14) を用いた塗布型有機 FET メモリに対する有機 FG 層への PCBM の添加効果を検証し、特性向上を図ることを目的とした。

2. 実験 図 1(a)に本研究で用いた OFET メモリ素子の構造を示す。ガラス基板上に Cr/Au ソースドレイン電極をフォトリソグラフィにより作製した後、pentafluorothiophenol (PFBT) を塗布することで正孔注入層を形成した。スピコート法を用いて半導体層 (PBTTT-C14) を製膜した後、直交溶媒 (酢酸ブチル) に溶解した PMMA、TIPS-pentacene 及び PCBM の混合体 (重量比 80:17:3) を塗布することで有機 FG 層を積層した。ゲート絶縁層 (CYTOP) を塗布製膜した後、Al ゲート電極をマスク蒸着によって作製した。

3. 結果及び考察 半導体層に PBTTT-C14 を用いた素子のメモリ特性は半導体の製膜工程に強く依存し、PBTTT-C14 溶液の温度を高く保ったままスピコートし PBTTT-C14 分子の配向性を改善することで良好なメモリ特性が得られることが分かった。図 1(b)に示す様に配向性の低い低移動度の PBTTT-C14 膜を用いたメモリ素子では消去後の伝達特性が正電圧側に大きくシフトし、照射下での書込後の閾値電圧シフト量は 15 V 程度に留まる。一方、図 1(c)に示す高い配向性を有する高移動度素子では伝達特性の正シフトが抑制され、最大で 35 V 程度の閾値電圧シフト量を示した。0.1 秒程度の書込時間で 20 V の閾値電圧シフト量を得ることが可能となった。消去後の伝達特性の正シフトは半導体層に過剰な正孔が誘起されていることを意味しており、有機 FG 層に添加した PCBM 分子の PBTTT-C14 のアルキル側鎖間への侵入[3]

が関与しているものと考えられる。図 1(c)の結果は、高い配向性を有する PBTTT-C14 膜を用いた際には PCBM 分子の侵入が抑制されることを示唆しており、過去の報告[4]と一致している。有機半導体層の配向性を更に改善し、高移動度化することで、オンオフ比の向上も期待できる。

参考文献 [1] F. Shiono *et al.*, Org. Electron. **67**, 109 (2019). [2] 阿部他, 第 80 回応用物理学会秋季学術講演会 講演予稿集, 11-102 (2018). [3] N. C. Miller *et al.*, Adv. Energy Mater. **2**, 1208 (2012). [4] G. M. Paternò *et al.*, Sci. Rep. **6**, 34609 (2016). **謝辞** 本研究は科学研究費補助金 (JP17H03238, JP17H01265) 及び (一財) テレコム先端技術支援センター (SCAT) の助成を受けた。

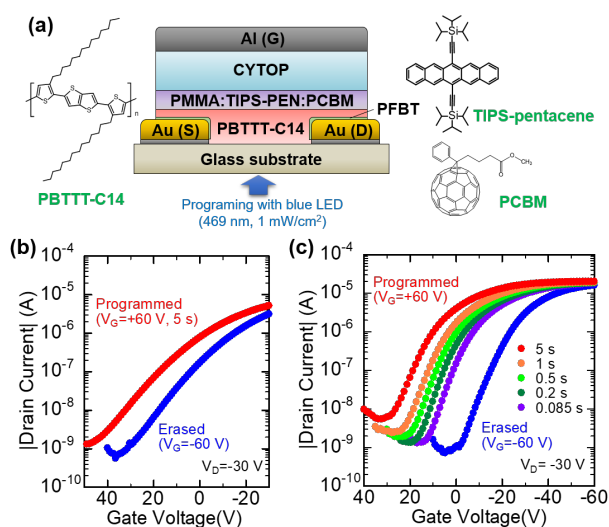


Fig. 1. (a) Device structure of a top-gate PBTTT-C14 FET memory with the PMMA:TIPS-pentacene:PCBM (80:17:3) composite film. Programming and erasing characteristics of the memory devices using (b) low-mobility and (c) high-mobility PBTTT-C14 films.