

TCAD 技術を活用した半導体量子ドットデバイスの静電容量解析

Theoretical Analysis of capacitance of semiconductor quantum dot device utilizing TCAD

産総研 ○浅井栄大、飯塚将太、服部淳一、池上努、福田浩一、森貴洋

AIST ○H. Asai, S. Iizuka, J. Hattori, T. Ikegami, K. Fukuda, and T. Mori

E-mail: hd-asai@aist.go.jp

近年、大手半導体素子メーカーの参入に伴い量子コンピュータ実現に向けた研究開発が急速に進展している。特に、半導体量子コンピュータは数nm スケールまで微細化した最先端の半導体プロセスを活用できることから、「高集積化」の観点から大きな注目を集めている。しかし、基本素子となる半導体量子ビットの設計技術が十分に確立されておらず、現時点における半導体量子チップのビット数は数個程度に過ぎない[1]。そのため、半導体量子ビットの設計支援シミュレータと成り得る新たな「半導体量子デバイスシミュレータ」の開発が急務となっている。

半導体量子ドット構造では、従来の半導体素子と同様にバイアス電圧によってキャリア分布が大きく変化する。その結果、1)ドット-ソース（ドレイン）間のトンネル結合、2) ドット-電極領域間の静電容量、が動作条件により変化する。そこで、我々は半導体素子のキャリア及びポテンシャル分布を自己無撞着に求める事ができるTechnology Computer Aided Design (TCAD) シミュレータを活用する事で、上記の効果を反映させた量子デバイスシミュレータの開発を目指している。前回の講演では、産総研で独自開発中のImpulse TCAD[2]へ不純物準位を介したトンネル率計算のモデルを導入し、キャリア分布によるトンネル率変化を反映した量子ドットの電流電圧特性のシミュレーションについて報告した[3,4]。本講演では、量子デバイスシミュレータの次のステップとして開発中の量子ドット容量計算モジュールを用いて、量子ドットの静電容量特性のシミュレーションについて報告する。

図1に今回計算を行った単一量子ドットの概略図を示す。量子ドットはPlunger gate の下に形成される。ドット領域に仮想的に付加した微少なキャリア生成がもたらす電位変化からドット容量の計算を行う。図2はゲート-ドット容量(C_{G_Dot})、ソース・ドレイン-ドット容量(C_{SD_Dot} , C_{DD_Dot})、基盤-ドット容量(C_{Sub_Dot})のゲート電圧依存性の計算結果を示す。ゲート電圧印加によりドット面積が拡大し、各容量が増大している事がわかる。講演ではドット容量のデバイス寸法依存性や、極低温領域における温度依存性等についても議論する。【謝辞】本研究は文部科学省光・量子飛躍フラッグシッププログラム(Q-LEAP)及びJST-CREST(JPMJCR1871)の支援を受けたものである

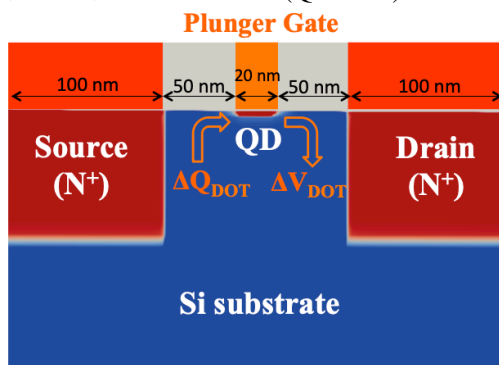


Figure 1: Schematic figure of Quantum dot (QD) device.

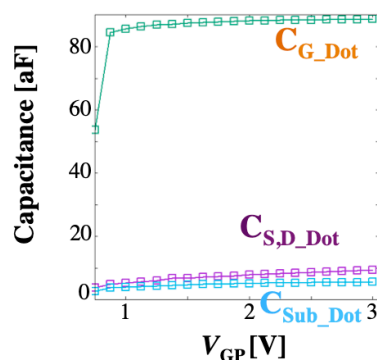


Figure 2: Calculated QD capacitance as a function of plunger gate voltage.

- [1] T. F. Watson *et al.*, Nature **555**, 633 (2018). [2] T. Ikegami *et al.*, J. Comp. Elec. **18**, 534-542 (2019).
 [3] 飯塚将太他、第 80 回応用物理学会秋季学術講演会 19a-B11-1~9 (2019). [4] S. Iizuka, *et al.*, submitted to JJAP.