

FPGA を用いた物理形成シリコン量子ドット測定

Measurement of physically defined silicon quantum dot using an FPGA

東京工業大学 ○高橋 洋貴、田代 晃一、溝口 来成、小寺 哲夫

Tokyo Tech. °Hiroki Takahashi, Koichi Tashiro, Raisei Mizokuchi, Tetsuo Kodera

E-mail: takahashi.h.bn@m.titech.ac.jp

近年、量子ビット集積化に向け比較的長いコヒーレンス時間と CMOS 技術と互換性の高いシリコン量子ドットが注目を集めている[1]。量子ビットの集積化を見据えたとき、目的の量子ドットのポテンシャル制御が、他の量子ドットに影響を与えてしまうクロストークが問題となりうる。これを解消する機構として field programmable gate array (FPGA)によるフィードバック (FB)制御が挙げられる。将来的には FPGA と操作対象となる量子ビットを同じ冷却ステージに設置することによって、配線数や FPGA-量子ビット間の距離を減らし、高速な FB 制御が可能になると期待されている。これらの実装にむけて、本研究では、より高温で動作するデバイスおよびより低温にて動作する制御系の確認を行った。

まず、クロストークの影響を減らし、量子ドットを用いたチャージセンシングの感度向上を目的として FB モデルを構築した。このモデルはチャージセンサ(Fig.1)の感度が最も高くなる電流値 I_0 へと近づく方向にサイドゲート電圧 V_{sg} を変化させることによって積分制御を行う(Fig.2)[2]。この FB モデルは、Fig.3 のブロックダイアグラムで表すことができ、FPGA 上にて HDL コードを用いて実現された。また、量子ドットは 4.2 K[3]、FPGA は 77 K の環境にてそれぞれ動作することを確認しており、極低温でこれらの要素を組み合わせることで、高速な FB 制御が可能になる。

本研究は、JST CREST (JPMJCR1675)、MEXT Q-LEAP(JPMXS0118069228)、科研費(18K18996) の助成を受けて遂行された。

[1] R. Maurand, et al. *Nat. Commun.* **7**, 13575 (2016).

[2] C. H. Yang, et al., *AIP Advances* **1**, 042111 (2011). [3] N. Shimatani, et al., The 22nd International Conference on Electronic Properties of Two- Dimensional Systems (EP2DS-22), Aug. (2017).

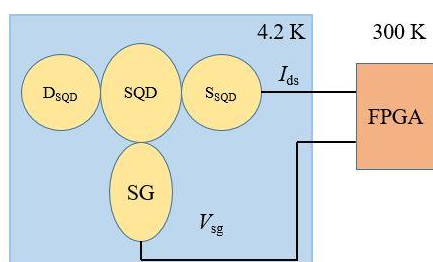


Fig. 2 A schematic of feedback system. The FPGA controls V_{sg} , depending on I_{ds} .

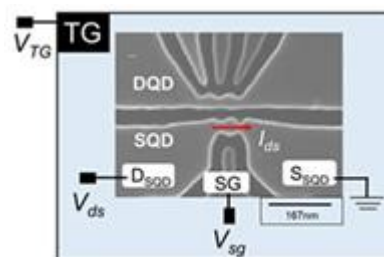


Fig. 1 SEM image of a quantum dot device.

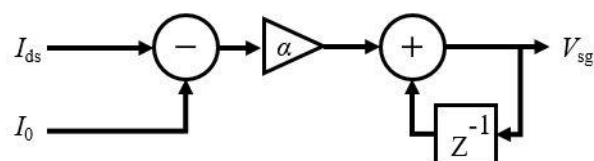


Fig. 3 A control block diagram for charge-sensing feedback.