

シリコン MOS 量子ドット素子のゲート面積縮小化による RF 反射測定への影響

Effects of gate area reduction of silicon MOS quantum dot on RF reflectometry

東工大¹, 産総研² ◯(M2) 西山 伸平^{1,2}, 加藤 公彦², 柳 永助², 森 貴洋²,

平山 勝登¹, Sinan Bugu¹, 溝口 来成¹, 小寺 哲夫¹

Tokyo Tech¹, AIST²,

◯Shimpei Nishiyama^{1,2}, Kimihiko Kato², Yongxun Liu², Takahiro Mori²,

Masaru Hirayama¹, Sinan Bugu¹, Raisei Mizokuchi¹, Tetsuo Kodera¹

E-mail: nishiyama.s.ac@m.titech.ac.jp

シリコン量子ドットは比較的長いコヒーレンス時間と、従来の CMOS 微細加工技術との整合性が高いことから、将来の量子情報デバイスへの応用が期待されている[1]。量子ドットのスピン状態の読み出し手法の一つとして、数 μs 程度のコヒーレンス時間内の読み出しが可能な RF 反射測定がよく用いられている。しかし、大きなトップゲート面積を有する MOS 構造ではトップゲートの寄生容量の影響が大きく高帯域での測定が比較的困難である。そこで本研究では、ゲート形成に電子線リソグラフィを採用することによってゲートの面積を縮小化し、RF 反射測定を行った。

測定では、外付けのコイルと寄生容量を利用してインピーダンスマッチングを取った (Fig (b))。その結果、トップゲートの面積 $1 \mu\text{m}^2$ の素子において共振周波数 400 MHz 付近にて共振によるディップ起きていることを確認した (Fig. (c))。また、トップゲートの電圧に応じて共振によるディップの大きさも変化していることもわかった。今回得られた共振周波数から寄生容量 $C_p = 0.48 \text{ pF}$ が得られた。これは、従来のトップゲート面積数 $10 \mu\text{m}^2$ のときの寄生容量 0.6 pF [2] よりも小さい値となっており、トップゲートの縮小化による影響と考えている。今後はこの素子を用いることで、従来よりも高感度な RF 反射測定が期待できる。

本研究は、JST CREST (JPMJCR1675)、MEXT Q-LEAP (JPMXS0118069228)、科研費 (18K18996) の助成を受けて遂行された。

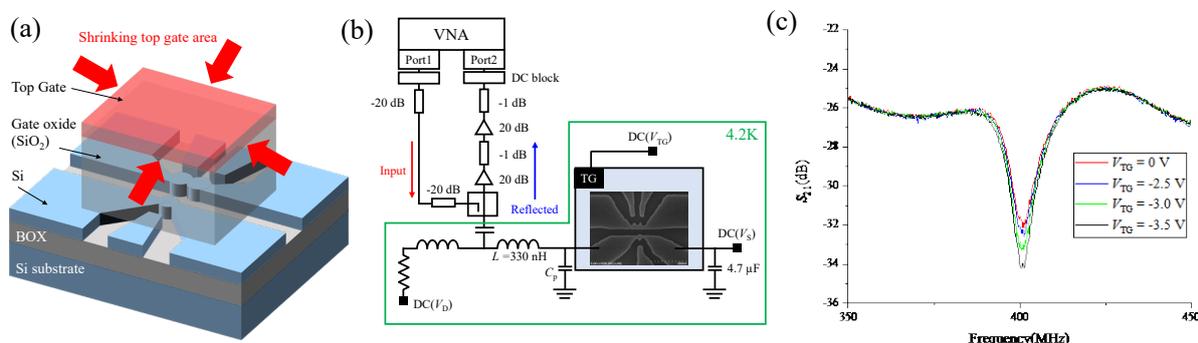


Fig. (a) Device structure of silicon MOS quantum dot. (b) Experimental setup for RF reflectometry.

(c) Magnitude(S_{21}) response with V_{TG} sweeping from 0 to -3.5 V.

[1] M. Veldhorst et al., Nature 526, 410-414 (2015).

[2] Y. Yamaoka, et al., Jpn. J. Appl. Phys. 56, 04CK07 (2017).