超伝導受動線路を用いたパルス駆動型超伝導メモリの開発

Development of Pulse-Driven Superconductor Memory with Passive Transmission Lines

名大院エ¹, JST さきがけ², ^O竹下 雄登¹, 長谷川 大輝¹, Li Feng¹,

佐野 京佑¹, 田中 雅光¹, 山下 太郎^{1,2}, 藤巻 朗¹

Nagoya Univ.¹, JST PRESTO², °Yuto Takeshita¹, Daiki Hasegawa¹, Li Feng¹,

Kyosuke Sano¹, Masamitsu Tanaka¹, Taro Yamashita^{1,2}, and Akira Fujimaki¹

E-mail: takeshita@super.nuee.nagoya-u.ac.jp

背景単一磁束量子(SFQ)回路は、パルス駆動型 の論理回路で、高速かつ低消費電力な回路として 注目されている。現在の SFQ 回路の実用化に向 けた課題として、その高速動作性・低消費電力性 に追随する超伝導メモリの不在があげられる。 我々は、このような超伝導メモリの実現に向けて π位相シフト磁性ジョセフソン接合(π 接合[1])を 導入したパルス駆動型の超伝導メモリを提案し ている。パルス駆動によって、従来のメモリの動 作速度のボトルネックであった CR 時定数や L/R 時定数による制限がなくなり、高速動作可能な超 伝導メモリが実現できる。

本研究で用いるパルス駆動型超伝導メモリの 基本構造を担うのが、π接合と通常の0接合によ って構成される超伝導ループである 0-π SQUID である。これまでの研究で、0-π SQUID のもつ2 つの安定状態によってメモリセルを実現できる ことや、0-π SQUID の LI。積を制御することによ って SFQ パルスなどの微弱な信号でも書き換え が可能であることを数値解析的に示してきた。

本研究では、パルス駆動メモリ実証の次なるス テップとして、メモリセルの内部状態の書き換え を実験的に検証することを目指している。

作製 このパルス駆動型超伝導メモリを作製するにあたり、同一チップ上に0接合とπ接合を作り分ける必要がある。そこで我々は、集積回路として実績のある Nb4 層プロセス(HSTP)[2]で作製されたチップ上にπ接合を作製するプロセス[3]を用いてメモリの作製を行った。

本研究では、 $0-\pi$ SQUID の代わりに、 $0-0-\pi$ SQUID を基本構造とする超伝導メモリを作製 した。また、そのうちの1つの0接合はDC-SQUID に置き換えてあり、 I_{word} によって DC-SQUID を 変調することによって DC-SQUID の臨界電流値 を変化させ、超伝導メモリ本体の LI_c積が可変と なるように設計してある。

まず、Fig. 1 に設計値によるシミュレーション 結果を示す。*I*bit に入力される電流の向きは実線 と点線の円でそれぞれ異なり、*I*bit と *I*word が同時 に入力されたとき、それぞれの電流の向きに対応 する状態へと変化している。また、*I*read が入力さ れたとき、内部状態に応じて出力が変化し、状態 を検知できていることがわかる。超伝導メモリに 電圧パルスを入力する方法として、今回は双方向 に 電 圧 パルスを入力する方法として、今回は双方向 に 電 圧 パルスを入力する方法として、今回は双方向

講演では、作製されたデバイスの測定結果につ

いて議論する。

<u>謝辞</u>本研究は、特別推進研究(18H05211)及び 科研費(JP19H05615)の支援を受けて実施したも のである。本研究で利用した回路の一部は、産業 技術総合研究所(AIST)の CRAVITY において制 作された。

参考文献

- [1] V.V.Ryazanov *et al.*, Phys. Rev. Lett., vol. 86, pp. 2427-2430, 2001.
- [2]日高 睦夫, 永沢 秀一:「低温超伝導デバイス 作製プロセスと今後の展望」低温工学 52 巻 5 号 2017
- [3]第 80 回応用物理学会秋季学術応援会, 長谷 川 et al., 20p-C213-2, 2019.



Fig.1 Simulation result of memory



Fig.2 (a) the memory cell with bipolar PTL driver (b) the memory cell (c) the schematic diagram of memory cell