

MOVPE 法による (211)Si 基板上的 CdTe 層の成長室内熱処理検討 In-situ annealing of MOVPE grown CdTe layers on (211)Si substrate

名工大院工：[○]藤井成弥, 田村怜也, 鳥居稜, 東良悠喜, 小林竜大, 後藤颯汰

安形保則, ニラウラ・マダン, 安田和人

Nagoya Inst. of Tech., [○]S.Fujii, R.Tamura, R.Tori, Y.Higashira, T.Kobayashi, H.Goto

Y.Agata, M.Niraula, K.Yasuda,

E-mail:31413168@stn.nitech.ac.jp

【はじめに】

MOVPE 法による (211)Si 基板上的 CdTe 成長層を用いた、p-CdTe/n-CdTe/n⁺-Si ヘテロ接合ダイオード型放射線画像検出器の開発を行っている。検出特性の向上のため暗電流の低減が必要である。しかし、CdTe 層と Si の界面には格子定数差や熱膨張係数差による高密度の転位が発生し、これらが暗電流増加の原因となる。我々はアニール処理によって転位密度の低減に関する検討を行っている。以前は成長装置と別の装置を用いて H₂ 雰囲気下でアニール処理を行った¹⁾。その結果、アニール処理による結晶性の改善は得られたが、検出器の暗電流の低減には至らなかった。その原因としてアニール処理を行うために試料が外気に触れていたことが考えられ、今回は成長室内でアニール処理検討を行った。

【実験条件】

試料として n⁺(211)Si 基板の上に 450°C で成長したアンドープの高抵抗 p-like CdTe 層を用いた。試料の厚さは 5μm と一定にし、アニール処理は成長中に成長を複数回中断して行った。アニール処理条件として、温度を 550~650°C、回数を 1~4 回、時間を 1~10min にして、Te 雰囲気下で行った。試料の結晶性は、(422)面における二結晶 X 線半値幅値から評価した。

【実験結果】

Fig. 1 にアニール処理温度を変化させたときの CdTe 成長層の X 線半値幅の値を示す。アニール処理回数、処理時間は 2 回、5min とした。この結果、アニール処理を行うことにより半値幅が減少し結晶性が向上したことがわかる。また、アニール温度 550°C では半値幅の減少が大きくみられ、アニール温度を上げるにつれてその効果が小さくなっていく。Fig. 2 にアニール処理時間を変化させたときの結果を示す。アニール処理温度、処理回数は 550°C、2 回とした。アニール時間が 5min 以下ではいずれの場合も半値幅が大きく減少したが、10min 以上ではその減少幅が小さい。以上の結果から、長時間のアニールよりも短時間で複数回のアニールを行うことにより、CdTe 結晶中の転位の低減が可能であることが分かった。

- 1) 森拓郎 2018 年春季応用物理学会講演会 [20a-F210-3]

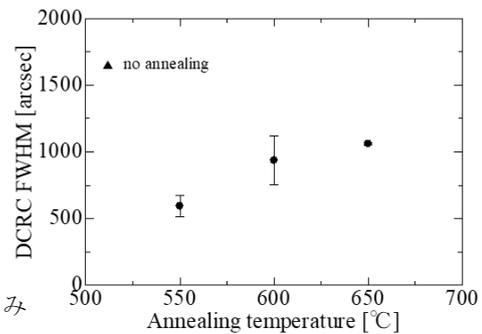


Fig. 1 Dependence of DCRC FWHM values on anneal temperature

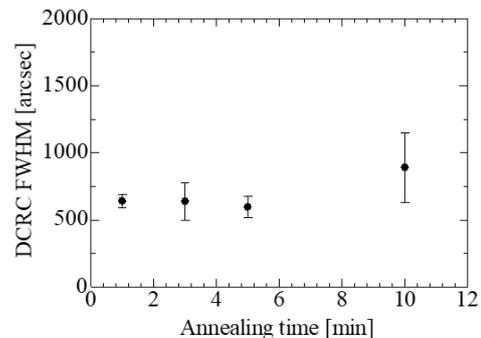


Fig. 2 Dependence of DCRC FWHM values on anneal time