

Ca/Si 界面反応制御によるエピタキシャル CaSi₂ 薄膜の高出力因子化

High thermoelectric power factor in epitaxial CaSi₂ thin films

by controlling Ca/Si interface reaction

阪大院基礎工¹, 九州シンクロトロン光研究センター², 産総研³

○(D)寺田 吏¹, 上松 悠人¹, 石部 貴史¹, 小林 英一², 山下 雄一郎³, 中村 芳明¹

Osaka Univ.¹, Kyushu Synchrotron Light Research Center², AIST³

°Tsukasa Terada¹, Yuto Uematsu¹, Takafumi Ishibe¹, Eiichi Kobayashi²,

Yuichiro Yamashita³, and Yoshiaki Nakamura¹

E-mail: u897541f@ecs.osaka-u.ac.jp

【背景】 Si 基板上薄膜熱電材料は、小型、自立発電可能、Si プラットフォームとの整合性の観点から IoT センサ用電源として期待されている。熱電材料の性能は無次元性能指数 $ZT = S^2\sigma T/\kappa$ (S : ゼーベック係数、 σ : 電気伝導率、 T : 絶対温度、 κ : 熱伝導率) で評価され、高い $S^2\sigma$ と低い κ が要求される。近年、高 $S^2\sigma$ と低 κ を同時実現可能な材料として層状物質が注目を浴びている[1]。これまで我々は、安価・無毒な層状物質である CaSi₂ に着目し、Si 基板表面の酸化膜厚の違いにより CaSi₂ 内の Ca 濃度に変調され、 $S^2\sigma$ が大きく変化することを明らかにした[2]。しかし、CaSi₂ 薄膜の熱電特性は最適化されておらず、改善の余地を残している。本研究では、化学表面処理に注目し、Si 基板への Ca 拡散量を意図的に制御することで $S^2\sigma$ 増大を達成することを目的とする。

【方法】 Si(111)基板を超高真空中 ($\sim 2 \times 10^{-8}$ Pa) に導入し、分子線エピタキシー法を用いて Ca を室温で蒸着した。その後、基板温度 550°C で一時間加熱処理を行うことで、Ca と Si 基板を反応させ、CaSi₂ 薄膜を形成した。また、導入する Si(111)基板の表面に対して様々な化学表面処理を施すことで、Ca/Si 界面での反応を意図的に制御し、組成比変調を試みた。構造観察には、反射高速電子回折法 (RHEED)、X 線回折法 (XRD)、X 線光電子分光法、熱電特性評価には、自作電気特性評価装置、ZEM-3 (アドバンス理工) を用いた。

【結果】 RHEED 観察及び XRD 測定の結果から、作製した全ての CaSi₂ 薄膜がエピタキシャル成長していることを確認した (図 1)。それらの $S^2\sigma$ は、Si 基板への Ca 拡散を抑制するほど増大する傾向を示し、拡散制御されていない薄膜に比べて 20%程度の増大に成功した。また κ を評価したところ、薄膜由来の低い値 ($< 5 \text{ W m}^{-1} \text{ K}^{-1}$) を示した。本講演では、基板表面の処理条件と熱電特性の関係について詳述する。

【謝辞】 本研究の一部は科研費 基盤研究 A (16H02078, 19H00853)、挑戦的研究 (萌芽) (19K22110) の支援により行われた。

【参考文献】 [1] Y. Liu, et. al., Adv. Sustainable Syst. 2, 1800046 (2018). [2] 寺田 吏、他、第 80 回応用物理学会秋季学術講演会、19p-E307-6 (2019).



Fig. 1 RHEED pattern of epitaxial CaSi₂ thin film on Si(111) substrate.