

Si/CaF₂ p 型三重障壁共鳴トンネルダイオードの室温微分負性抵抗特性

Room Temperature Negative Differential Resistance of

Si/CaF₂ p-type Triple-barrier Resonant Tunneling Diodes

東京工業大学 ○佐藤穂波, 熊谷佳郎, 三上萌, 利根川啓希, 廣瀬皓大,
富澤勘太, 金子拓海, 渡辺正裕

Tokyo Institute of Technology, H. Sato, Y. Kumagai, K. Mikami, H. Tonegawa, K. Hirose,

K. Tomizawa, T. Kaneko, M. Watanabe

E-mail: sato.h.bf@m.titech.ac.jp

【はじめに】

シリコン(Si)/弗化カルシウム(CaF₂)ヘテロ構造は, 界面における伝導帯バンド不連続が約 2 eV であり, 結晶構造が類似で格子定数が近いことから Si 基板上に数原子層厚の積層エピタキシャル成長が可能である。特に, Si は共有結合性, CaF₂ はイオン結合性であることから極薄膜の積層構造においても相互拡散の抑制に有利な特徴を有する。この特徴を活かし, 応用上有意な電流密度を確保しつつ, 室温において大きな peak-to-valley 電流比(PVCR)を有する共鳴トンネルダイオード(RTD)の動作実証を行ってきた [1,2]。Si/CaF₂ ヘテロ構造を用いた三重障壁構造の RTD としては, 電子注入型において室温で NDR が観測されているが, 今回, ホール注入型の Si/CaF₂ 三重障壁構造 RTD を作製し評価したところ, 室温において微分負性抵抗特性を初めて観測したので報告する。

【実験方法】

今回作製した素子構造を図 1 に示す。p-Si(111)基板を SPM 洗浄後, 厚さ 30 nm の熱酸化膜を形成し, ウェットエッチングにより直径 100 nm の窓を形成する。その後基板を分子線エピタキシー結晶成長装置内に搬入し, 表面保護酸化膜を除去後, CaF₂(0.62nm)/Si(1.24nm)/CaF₂(0.62nm)/Si(0.93nm)/CaF₂(0.62nm)/n-Si(5nm)の各層を結晶成長した。Cr/Au 電極をリフトオフにより形成し素子完成となる。電流電圧測定には半導体パラメータアナライザ Keysight-4155C を用いた。

【結果と考察】

作製した素子の室温における電流電圧特性を図 2 に示す。印加電圧は下部電極側の電位を正にとっている。室温において明瞭な微分負性抵抗特性が観測された。PVCR は 21, ピーク電流密度は 1.5 MA/cm², 共鳴トンネル量子井戸の擬似エネルギー準位を反映するピーク電圧は 1.1 V であった。これらの値は, ヘビーホールの有効質量を用いて Transfer matrix法と Esaki-Tsu モデルを用いた理論解析の結果とよく整合する。

三重障壁構造は二重障壁構造と比べエネルギーフィルターとなる量子井戸層が一層多いため高い PVCR が期待できるが, 本研究で得られた

約 1 MA/cm²のピーク電流密度と 10 を超える PVCR を同時に得るには, CaF₂障壁層厚として 1 原子層の極薄膜が必要とされることから, 今回作製した素子の CaF₂ 障壁は限りなく単位周期に近い膜厚で障壁層として機能していると考えられる。今回の結果は, ホール駆動型三重障壁構造の Si/CaF₂ RTD ではじめて室温微分負性抵抗特性を観測したものであり, 今後の相補型高速スイッチング素子, メモリやサブバンド応用デバイスへ向けて, 本研究で提案する材料系および原子層積層形成技術の有望性を示唆するものとする。

【参考文献】

[1] Y. Kuwata et al., Appl. Phys. Express 9, 074001 (2016)

[2] 三上他, 第 66 回応用物理学会春季学術講演会 10p-PA4-7(2019)

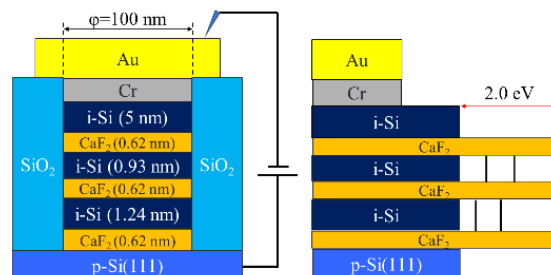


図 1 素子構造と価電子帯バンド図

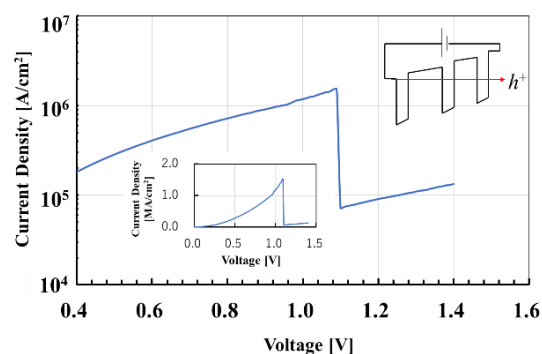


図 2 室温電流電圧特性