

基板上に直接横たわった Si 細線のゼーベック係数の測定 Seebeck Coefficient Measurement of Si Wire directly laid on substrate

早大理工¹, 産総研², 静岡大学³

○片山 和明¹, 富田 基裕¹, 平尾 修平¹, 武澤 宏樹¹, 目崎 航平¹, 田邊 咲華¹, 松川 貴²,
松木 武雄^{1,2}, 猪川 洋³, 池田 浩也³, 渡邊 孝信¹

Waseda Univ.¹, AIST², Shizuoka Univ.³

○K. Katayama¹, M. Tomita¹, S. Hirao¹, H. Takezawa¹, K. Mesaki¹, S. Tanabe¹, T. Matsukawa²,
T. Matsuki^{1,2}, H. Inokawa³, H. Ikeda³, T. Watanabe¹

Email: katayama.kazu@akane.waseda.jp

【はじめに】我々は、基板表面に局所的に注入した熱流近傍に生じる急峻な温度勾配を利用した微小熱電発電デバイス(TEG)の開発を進めている^[1]。提案するデバイス構造では、Si 細線を空中架橋せず基板上に直接横たえており、Si 細線の下に空洞を設けないシンプルな構造をしている。この場合、Si 細線に流入した熱は細線の長手方向だけでなく基板中にも拡散するため、温度分布は線形にならない^[2]。よって、実際に観測される熱起電圧は、Si 本来のゼーベック係数から予測される値よりも小さくなる可能性がある。

本研究では、SOI 基板上に Si 細線パターンを形成し、また細線両端に抵抗温度計測用の金属配線を形成して、基板上に直接横たわった Si 細線のゼーベック係数を求めた。

【実験方法】作製した TEG の模式図を Fig.1 に示す。長さ 3mm、幅 $2\mu\text{m}$ 、細線間のスペース $2\mu\text{m}$ の Si 細線の並列本数が 5 本、20 本、100 本の構造のデバイスを同一基板上に作製した。作製手順は以下の通り。まず P 型 Si (100) の SOI 基板(SOI 膜厚=88nm, BOX=145nm, Si-substrate=745 μm)を電子線描画と反応性イオンエッチングによってパターンニングし、表面に約 20 nm の熱酸化膜を形成した。続いて P⁺を 25keV で $1.0 \times 10^{15}/\text{cm}^2$ 注入し、活性化アニール(950°C, 10min)を行い n 型化した。最後にスパッタリングで金属(Ti:10nm, TiN:30nm, Al:400nm)を堆積させ、電極と抵抗温度計測用の配線パターンを形成した。

ゼーベック係数の評価は以下の手順で実施した。まず抵抗温度計を校正するため、プローバのステージ温度を 20°C~40°C の範囲で変化させ、抵抗温度計の温度係数(20°Cにおいて約 0.341%/K)を求めた。次に、TEG の高温側電極にマイクロヒータを押し当て、マイクロヒータとステージが一定の温度差(15K)になるようにマイクロヒータを昇温し、高温側と低温側の抵抗温度計の差分をとることで Si 細線両端の温度差を計測した。その後 TEG の熱起電圧[V]を測定し、これを測定した温度差で割ってゼーベック係数を求めた。

【実験結果】Si 細線の最終的な厚さ、不純物濃度は、約 70nm, $5 \times 10^{19}/\text{cm}^3$ であった。Fig.2 に測定結果を示す。マイクロヒータとステージの設定温度差は一定であるが、マイクロヒータと電極間の接触熱抵抗が測定毎に異なるため、Si 細線両端の温度差も測定毎に変動する。そこで、Fig.2 では Si 細線両端の温度差の実測値を横軸に取っている。温度差と出力電圧の間には明確な比例関係が見られ、ゼーベック係数は $-179\mu\text{V/K}$ と見積もられた。同じ不純物濃度の SOI 層のゼーベック係数が約 $-500\mu\text{V/K}$ と報告されており^[3]、今回得られた値はこの報告値の約 36%である。発電部の厚さなど寸法の違いでゼーベック係数値が異なっている可能性もあるが、3~4 割程度のゼーベック係数を発揮しているため、基板上に直接横たわった Si 細線においても、実効的なゼーベック係数はオーダーでは変化せず、十分な熱電性能を発揮できることがわかった。

【謝辞】本研究は JST-CREST(JPMJCR19Q5)の支援により実施された。またデバイス作製は、文部科学省ナノテクノロジープラットフォーム事業(NIMS 微細加工プラットフォーム)の支援を受けて実施された。

【参考文献】[1] M. Tomita et al., VLSI Symp. Tech. Dig. (2018) 93. [2] 渡邊孝信ら、電気学会、「Si-CMOS 高出力熱電発電デバイスの開発」(2008) [3] F. Salleh et al., Appl. Phys. Express 2, 071203 (2009).

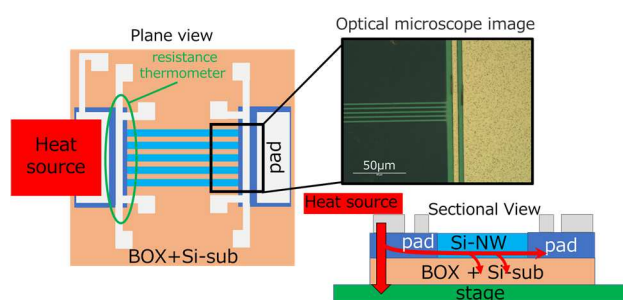


Fig1: Schematic of fabricated TEG

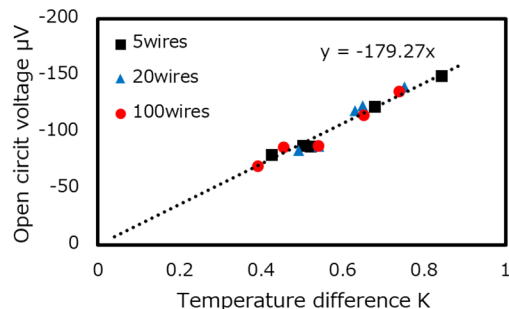


Fig2: Evaluated Effective Seebeck Coefficient